



UNIVERSITÉ D'ORLÉANS



ÉCOLE DOCTORALE SCIENCES ET TECHNOLOGIES

STATION DE RADIOASTRONOMIE DE NANCAY

THÈSE

présentée par :

Bruno DA SILVA

soutenue le : **23 septembre 2010**

pour obtenir le grade de : **Docteur de l'université d'Orléans**

Discipline/ Spécialité : **Électronique, Microélectronique, Optique et Lasers**
option électronique microondes

<p>Conception sur silicium de convertisseurs analogique-numérique haut débit pour le radiotélescope SKA</p>

THÈSE dirigée par :

Nicole CORNILLEAU-WEHRLIN
Stéphane BOSSE

RAPPORTEURS :

Bruno BARELAUD
Jacques LECOQ

JURY :

Rachid HARBA

Bruno BARELAUD

Jacques LECOQ

Nicole CORNILLEAU-WEHRLIN

Stéphane BOSSE

Philippe CAIS

Directeur du LESI d'Orléans

Professeur à l'Université de Limoges

Directeur du pôle de microélectronique
à l'IN2P3 de Clermont-Ferrand

Directrice de recherche
à la station de radioastronomie de Nançay

Ingénieur de recherche
à la station de radioastronomie de Nançay

Ingénieur de recherche
au laboratoire d'astrophysique de Bordeaux

Président du jury

Rapporteur

Rapporteur

Directrice de thèse

Encadrant de thèse

Examineur

Remerciements

Dans un premier temps je voudrais remercier Mme. Nicole Cornilleau-Wehrlin pour son encadrement au sein de la Station de Radioastronomie de Nançay ainsi que le responsable du service électronique Ivan Thomas.

Un merci tout particulier à toute l'équipe de microélectronique de la Station de Radioastronomie de Nançay et notamment M. Stéphane Bosse responsable de mon encadrement au sein du laboratoire ainsi que Severin Barth , qui ont su me faire confiance et me donner les moyens nécessaires au bon déroulement de cette thèse.

Merci à M. Jacques Lecoq de l'IN2P3 de Clermont-Ferrand et M. Bruno Barelaud du laboratoire de XLIM à Limoges qui ont accepté d'être les rapporteurs de ma thèse.

Je remercie M. Rachid Harba et M. Philippe Caïs d'avoir acceptés d'être membres du jury de ma thèse.

Merci à M. Guillaume Monnerie de l'entreprise NXP d'avoir fait le déplacement pour assister à ma thèse.

Je remercie aussi M. Cédric Viou qui a programmé le FPGA de la carte de test du premier CAN et apporté des solutions pour la conception du second CAN.

Merci aussi aux personnes du service électronique de la station pour leur aide pour la conception des cartes électroniques et leurs conseils.

Enfin, je tiens à remercier Marion, sans qui, je n'aurais pas pu réaliser cette thèse.

Table des matières

Remerciements	iii
Liste des figures	xiv
Liste des tableaux	xvi
Liste des abréviations	xvii
Liste des symboles	xix
 Introduction	 1
0.1 Contexte scientifique	2
0.2 Objectifs	5
0.3 Choix des paramètres du CAN pour le radiotélescope SKA	7
0.4 Organisation du mémoire	9
 I Rappel sur les notions de base des CAN et les composants utilisés	 11
1 Rappel sur les transistors	13
1.1 Contrainte technologique	13
1.2 Caractéristiques principales des transistors NMOS et PMOS	14
1.3 Caractéristiques principales du transistor Bipolaire SiGeC NPN	15
1.4 Rappel sur les topologies de base de transistor	16
 2 Notions de base sur les CAN	 19
2.1 Caractéristiques générales d'un CAN	19
2.2 Caractérisation des erreurs	22
2.2.1 Les erreurs statiques	23
2.2.2 Les erreurs dynamiques	25
2.3 Les CAN rapides	27

2.3.1	Le CAN pipeline et le CAN flash	28
2.4	Les différentes améliorations possibles d'architecture du CAN flash	30
2.4.1	Le CAN flash à temps-entrelacé	30
2.4.2	Le CAN flash à architecture pliée	31
2.4.3	Le CAN flash à architecture interpolée	31
2.5	Choix de l'architecture du convertisseur	32

II Etude et réalisation d'un CAN flash à 1 Giga échantillons par seconde en transistors MOS 0,25 μm **33**

Introduction **35**

3 Simulation et réalisation **37**

3.1	L'Echantillonneur Bloqueur	37
3.1.1	Définition d'un échantillonneur-bloqueur	37
3.1.2	L'échantillonneur-bloqueur	38
3.1.3	Les spécifications ciblées pour l'E/B	40
3.1.4	Echantillonneur-bloqueur développé	41
3.1.5	Topologie entière de l'E/B	43
3.1.6	Amplificateur à contre réaction	44
3.1.7	Rappel sur les paramètres S (Scattering parameters)	46
3.1.8	Impédance de la sortie	49
3.1.9	Schéma final de l'E/B réalisé et les résultats de simulation	50
3.2	Le comparateur	55
3.2.1	Le pré-amplificateur	55
3.2.2	Le comparateur à verrouillage	59
3.2.3	La remise en forme	62
3.2.4	Schéma final réalisé et résultats de simulation	62
3.2.5	Résultat de simulation	64
3.3	Échelle de résistance	66
3.4	Décodage en mot binaire	67
3.4.1	Correction de bulle	68
3.4.2	Le décodeur	69
3.4.3	Correction de bulle et décodeur choisis	72
3.5	Éléments supplémentaires en vue des tests ultérieurs	73
3.5.1	Registre à décalage	73
3.5.2	Synchronisation et écriture des données (data ready : DR)	74
3.6	L'horloge	75

3.7	Les sorties LVDS	80
3.8	Simulation du CAN complet et résultats	82
3.8.1	Le banc de test et les résultats de la simulation statique	82
3.8.2	Le banc de test et les résultats de la simulation dynamique	84
3.8.3	Consommation du circuit	85
4	Dessin de Masques	87
4.1	Introduction	87
4.2	Diminution des éléments parasites et du mésappariement	87
4.2.1	Les transistors	87
4.2.2	Les tailles des lignes et des vias	88
4.2.3	Les résistances	89
4.3	L'échelle de comparateurs du circuit	90
4.3.1	Répartition de l'horloge	90
4.3.2	Échelle de résistances	91
4.4	Dessin du masque final	92
5	Test et caractérisation	93
5.1	Banc de test	93
5.2	Résultats expérimentaux	94
5.3	Conclusion de l'étude du CAN à 1 GS/s	96
III	Étude et réalisation d'un CAN flash à 3 Giga échantillons par seconde en transistors bipolaires SiGeC 0,25 μm	99
	Introduction	101
	La logique ECL	102
	Les portes Logiques ECL étudiées	104
	La bascule D	105
6	Simulation et réalisation	107
6.1	Echantillonneur bloqueur en bipolaire	107
6.1.1	Spécifications ciblées pour l'E/B	108
6.1.2	L'interrupteur et la capacité de charge de l'E/B	108
6.1.3	L'échantillonneur bloqueur développé	112
6.1.4	Résultat temporel en simulation	115
6.1.5	Résultats de simulation dynamique	116
6.2	Le comparateur en topologie bipolaire	117

TABLE DES MATIÈRES

6.2.1	Le pré-amplificateur	118
6.2.2	Le comparateur bipolaire	120
6.2.3	Schéma du comparateur réalisé pour le circuit	122
6.3	L'échelle de résistances	124
6.4	Le décodage et la correction d'erreur	125
6.4.1	La correction de bulle	125
6.4.2	Le décodeur à arbre	125
6.4.3	Résultats de mesures de la partie numérique	126
6.5	Éléments complémentaires en vue des tests ultérieurs	128
6.6	Les sorties LVDS	130
6.7	L'horloge	132
7	Dessin de Masques	135
7.1	Isolation de cellule	135
7.2	Alimentation	136
7.3	Symétrie et répartition de l'horloge	137
7.4	Echelle de résistance	138
7.5	Dessin du masque final	139
8	Caractérisation post-layout et bancs de test	141
8.1	Résultats de simulation (post-layout) du CAN complet	141
8.1.1	Résultats statiques (INL, DNL)	141
8.1.2	Résultats dynamiques (SNR, SFDR)	143
8.1.3	La Répartition de la consommation	144
8.1.4	Synthèse des résultats	144
8.2	Préparation des bancs de test	145
8.3	Conclusion du CAN à 3 GS/s	147
	Conclusion générale	149
	ANNEXE A	161
	ANNEXE B	163
	ANNEXE C	167
	ANNEXE D	171
	ANNEXE E	177

Table des figures

1	a. Récepteur hétérodyne en bande L (CAN « 1 GS/s), b. Récepteur radio simplifié en bande L (CAN > 3 GS/s)	2
2	Struture du Square Kilometer Array	3
3	Feuille de route du projet SKA	4
4	Une tuile composée d'antennes Vivaldi avec commandes intégrées	4
5	Diagramme récepteur superhétérodyne	5
6	Diagramme de réception rapide	6
7	Les deux sites en compétition pour l'accueil du radiotélescope SKA : l'Afrique du sud et l'Australie	7
1.1	Vue de coupe du transistor MOS	14
1.2	Vue de coupe du transistor Bipolaire	15
1.3	Différentes topologies de base pour les transistors NPN et les transistors NMOS avec des résistances de polarisations	17
2.1	Bloc général	19
2.2	Fonction de transfert du CAN	21
2.3	L'erreur de quantification d'une entrée à rampe	22
2.4	Les erreurs statiques : (a) erreur d'offset (b) erreur de gain	23
2.5	Les erreurs statiques : (a) non-linarité intégrale, (b) non-linarité différentielle	24
2.6	Analyse Spectrale, description des résultats dynamiques	25
2.7	Classifications des trois architectures les plus rapides des CAN en fonction de l'ENOB et de la fréquence d'échantillonnage	27
2.8	Structure Pipeline	28
2.9	Structure de l'ADC Flash	29
2.10	CAN à temps entrelacé	31
2.11	CAN flash plié à gauche, CAN flash interpolé à droite	32
3.1	Schéma de principe d'un échantillonneur-bloqueur en boucle ouverte	37
3.2	Schéma de l'échantillonneur-bloqueur en boucle ouverte et en boucle fermée	38
3.3	Echantillonneur-bloqueur idéale en technologie MOS	39

3.4	Résultat temporel du E/B avec impédance de charge infinie	39
3.5	Source d'erreurs en mode suivie et en mode bloquée	40
3.6	Echantillonneur Bloqueur en NMOS	41
3.7	Le piédestal	42
3.8	Gain de l'échantillonneur bloqueur	43
3.9	Topologie E/B Boucle sans contre réaction	44
3.10	Topologie d'amplificateur avec des transistors NPN	45
3.11	Schéma équivalent « petits signaux » pour le calcul du gain en tension	45
3.12	Représentation d'un quadripôle	46
3.13	Représentation d'un quadripôle avec les accès au port différentiel et mode commun . .	48
3.14	A gauche la topologie collecteur commun utilisée, à droite, le schéma collecteur commun en « petits signaux »	49
3.15	Schéma différentiel de l'échantillonneur bloqueur simulé et défini	50
3.16	A gauche, adaptation de l'entrée différentielle : Sdd11. A droite, l'impédance de sortie de l'E/B	51
3.17	A gauche, gain de la structure. A droite, le taux de réjection en mode commun	52
3.18	Simulation temporelle pour une fréquence d'entrée de 490 MHz avec un balayage de tension pleine échelle en entrée : (a) sorties de l'E/B en temporel, (b) zoom sur quelques périodes des sorties non-différentielles, (c) sortie différentielle en temporel, (d) zoom sur quelques périodes de la simulation différentielle	53
3.19	A gauche le SFDR, à droite le SNR réalisé en simulation	53
3.20	Schéma de principe d'un comparateur	55
3.21	Schéma électrique du pré-amplificateur	56
3.22	Schéma équivalent petits signaux du pré-amplificateur	57
3.23	Schéma électrique final du pré-amplificateur	58
3.24	Gain en régime linéaire du pré-amplificateur obtenu avec $V_{dc_{Ref+}} = V_{dc_{Ref-}}$, $I_d = 0,5mA$ $W = 2,1 \mu m$ et $L = 0,25 \mu m$ avec un nombre de doigts d'émetteur égal à 8	59
3.25	Schéma simplifié de 2 inverseurs tête-bêche durant l'état bloqué	60
3.26	Le comparateur à verrouillage proposé	61
3.27	Chronogramme du fonctionnement du comparateur	62
3.28	Schéma complet du comparateur	63
3.29	Processus mis en place pour obtenir un pourcentage d'erreur inférieur 40 %	63
3.30	Diagramme de l'oeil	64
3.31	Chronogramme des étages du comparateur utilisé	65
3.32	Tensions de référence, pour $F_{echantillonnage} = 1GS/s$ et $F_{entree} = 100 MHz$, avec en (a) $R_{echelle} = 20 \Omega$ et (b) $R_{echelle} = 200 \Omega$	66

TABLE DES FIGURES

3.33	Schéma de la structure numérique	67
3.34	Correction de bulle	68
3.35	Décodeur à arbre avec additionneur pour un CAN flash 4 bits	69
3.36	Décodeur à arbre en porte « OU »	70
3.37	Schéma d'encodage numérique d'une structure 3 bits d'une ROM sans et avec erreur de bulle	70
3.38	Architecture mémoire 3 bits (Read Only Memory)	71
3.39	Schéma d'encodage numérique d'une structure 3 bits d'une ROM en code de Gray avec erreur de bulle	72
3.40	Système de test en sortie du CAN	73
3.41	Registre à décalage	74
3.42	Synchronisation et validation d'écriture pour le registre à décalage	74
3.43	Schéma de l'amplificateur à Trigger de Schmitt avec amplificateur de sortie	75
3.44	Caractéristiques de transfert entrée sortie d'un Trigger de Schmitt	76
3.45	SNR en fonction de la fréquence pour différentes valeurs de jitter par rapport au SNR maximum	77
3.46	SNR en fonction du nombre de bits pour un jitter de 1 ps, une tension de bruit de 0,5 V et un DNL de 0,5 LSB	78
3.47	Jitter de l'horloge	79
3.48	Schéma inverseur utilisé pour la mise en forme et l'adaptation en tension	79
3.49	Schéma LVDS en émission et réception	80
3.50	Schéma de la sortie LVDS utilisée	81
3.51	Schéma du CAN complet	82
3.52	Schéma du test INL et DNL	83
3.53	Résultats obtenus pour l'INL et La DNL en simulation	83
3.54	Schéma de la mesure dynamique	84
3.55	Le pourcentage de consommation des différents composants du circuit pour une puissance totale de 2 Watts	85
4.1	(a) Transistor NMOS de forte largeur de grille (b) Transistor NMOS équivalent avec une faible largeur de grille	88
4.2	Dessin de 2 vias : (a) très faible densité de courant, (b) forte densité de courant, 4 fois plus élevée que (a)	89
4.3	Représentation du DTI réduisant la capacité du substrat	89
4.4	Les différentes techniques d'appariement des résistances	90
4.5	Répartition de l'horloge	90
4.6	Technique utilisée afin d'améliorer le routage de l'échelle de résistance. (a)Connexion avec des comparateurs successifs. (b)Connexion avec échelle de résistance pliée	91

4.7	Dessin du masque final du CAN	92
5.1	Carte de test	93
5.2	Banc de test du CAN	94
5.3	Erreur du code observée sur Matlab pour une tension d'entrée de 50 MHz et une fréquence d'échantillonnage de 850 MHz	95
5.4	Niveaux logiques de la norme ECL	103
5.5	Porte logique OU et ET avec des transistors bipolaires	104
5.6	Schéma d'une bascule D avec des transistors bipolaires	106
6.1	Schéma de principe de l'E/B avec prise en compte de la génération d'horloge	107
6.2	Schéma de l'émetteur suiveur commuté (SEF)	109
6.3	Modèle simplifié en mode bloqué	110
6.4	Anti-feedthrough	110
6.5	Modèle simplifié pour l'erreur du piédestal	111
6.6	Schéma réalisé de l'E/B différentiel	112
6.7	Simulation du paramètre S_{dd11} , en entrée de l'E/B	113
6.8	Impédance de sortie de l'E/B obtenue en simulation	114
6.9	Gain en tension du mode différentiel et gain en tension du mode commun de l'E/B . .	114
6.10	Simulation temporelle en pleine échelle ($E_g = 500$ mV) avec la fréquence d'entrée égale à 1,4 GHz et une fréquence d'horloge égale à 3 GHz avec en : (a) les sorties temporelles de l'E/B, (b) le zoom sur un état bloqué d'une des sorties de l'E/B, (c) les sorties différentielles de l'E/B, (d) le zoom sur un état bloqué de la sortie différentielle	115
6.11	Schéma de principe du comparateur	117
6.12	Chronogramme du résultat à obtenir en temporel	118
6.13	Schéma électrique du pré-amplificateur bipolaire	119
6.14	Schéma du pré-amplificateur pour la mesure du gain en tension	119
6.15	Gain du pré-amplificateur obtenu en simulation	120
6.16	Schéma électrique du comparateur bipolaire	121
6.17	Chronogramme du fonctionnement normal en (a) et du fonctionnement erroné en (b)	122
6.18	Schéma électrique du comparateur bipolaire	123
6.19	Résultats de simulation temporelle du comparateur, réalisés avec le générateur d'hor- loge réel intégré dans le circuit	123
6.20	Résultat temporel aux bornes d'une résistance pour une valeur de $20\ \Omega$ en (a) et $2\ \Omega$ en (b) pour une rampe injectée en entrée, la courbe bleue représente le signal sans bruit de rebond, la courbe rouge représente le signal réel	124
6.21	Schéma du décodeur pour une architecture 4 bits	125
6.22	Schéma de test de la partie numérique du CAN	126

6.23	Chronogramme des sorties binaires pour une réponse à code thermomètre en entrée cadencée à 5 GHz	127
6.24	Système intégré dans la puce pour la réalisation du test	128
6.25	Schéma électrique du démultiplexeur 2 vers 1	129
6.26	Schéma électrique du OU exclusif	129
6.27	Schéma des sorties LVDS	130
6.28	Gain en tension de la cellule LVDS jusqu'à 20 GHz	131
6.29	Diagramme de l'oeil des sorties différentielles et histogramme du jitter de la sortie LVDS temporelle associé pour une fréquence d'entrée de 4 GHz	131
6.30	SNR en fonction de la fréquence pour un jitter d'horloge de 0,5 ps et 1 ps.	132
6.31	Schéma pour la génération d'horloge	132
6.32	Diagramme de l'oeil en sortie de la cellule horloge pour un signal différentiel sinusoïdal de 120 mV à 4 GHz et le jitter de l'horloge temporelle associée	133
7.1	Anneau de garde avec anneau p^+ et anneau n^+	136
7.2	Triple anneaux de garde avec 2 anneaux p^+ et un anneau n^+	136
7.3	Séparation des alimentations et augmentation du nombres de plots analogiques et numériques	137
7.4	Symétrie des cellules et répartition de l'horloge sur les différents blocs	138
7.5	Echelle résistive avec une connexion entrelacée	138
7.6	Masque de la puce entière : CAN 6 bits à 3GS/s, et le système de test	139
8.1	Résultat temporel aux bornes d'une résistance de $2\ \Omega$ de l'échelle pour un signal rampe en entrée du CAN	142
8.2	Résultats de simulations des performances statiques (INL, DNL)	142
8.3	Résultats dynamiques du CAN 6 bits (avec capacités et résistance parasites) à 3 GS/s avec 700 points de mesure	143
8.4	Répartition de la consommation totale (3 W) du CAN à 3 GS/s	144
8.5	Schéma de test avec un flot de données réduit par des démultiplexeurs	146
8.6	Schéma de test avec un flot de données à 3 GS/s	146
8.7	Schéma du démultiplexeur	161
8.8	Schéma du compteur modulo 8	162
8.9	Schéma de l'entrée LVDS	163
8.10	Résultat temporel du démultiplexeur avec une horloge à 3 GHz sur une série de données aléatoires	165
8.11	Schéma des lignes utilisées : (a) lignes microrubans couplées et (b) lignes coplanaires couplées	168

TABLE DES FIGURES

8.12 Résultats de simulation pour une ligne microruban couplée	168
8.13 Résultats de simulation pour une ligne coplanaire couplée	169

Liste des tableaux

1.1	Caractéristiques des transistors NMOS et PMOS	14
1.2	Caractéristiques du transistor bipolaire	15
1.3	Récapitulatif des caractéristiques des topologies	16
2.1	Comparatif d'erreur de quantification par rapport au nombre de bits	20
2.2	Comparatif CAN pipeline et flash	30
2.3	Spécifications ciblées pour le CAN	36
3.1	Spécifications ciblées pour l'échantillonneur-bloqueur	41
3.2	Résultats obtenus en simulation pour l'échantillonneur-bloqueur	51
3.3	Résultats de simulation du pré-amplificateur	59
3.4	Résultats de simulation du comparateur complet	64
3.5	Correspondance entre les différents codes pour un CAN 3 bits	67
3.6	Paramètres du CAN 6 bits	82
3.7	Résultats dynamiques en simulation à 1 GS/s d'horloge avec 200 points de mesure . .	84
5.1	Résultats dynamiques après correction des erreurs avec une fréquence d'horloge de 850 MHz à température ambiante (20°C)	95
5.2	Spécifications ciblées pour le CAN	102
5.3	Spécifications de la norme CML	103
6.1	Spécifications ciblées pour E/B	108
6.2	Résultats dynamiques obtenus en simulation avec 2000 points d'échantillon à 3 GS/s .	116
6.3	Résultats obtenus en simulation Monté-Carlo	116
6.4	Résultats obtenus en simulation schématique	116
6.5	Spécifications ciblées pour le comparateur	118
6.6	Résultats de simulations du pré-amplificateur	120
6.7	Spécifications du comparateur réalisé en bipolaire	124
8.1	Variation de l'INL en fonction de la résistance élémentaire de l'échelle de résistance .	141
8.2	Les paramètres simulés du CAN 6 bits	145

8.3	Caractéristiques du substrat sur FR4	167
8.4	Résultats obtenus pour les paramètres des lignes	167

Liste des abréviations

A	Amplificateur
AAVP	Aperture Array Verification Program
ADC	Analog Digital Converter
ASIC	Application Specific Integrated Circuit
BC	Base commune
BiCMOS	Bi-polar Complementary Metal-Oxide-Semiconductor logic
BP	Bande Passante
CAN	Convertisseur analogique numérique
CAO	Conception Assistée par Ordinateur
CB	Code Binaire
CC	Collecteur Commun
CML	Current-mode logic
CMOS	Complementary Metal-Oxide-Semiconductor logic
CT	Code thermomètre
DC	Tension continue (Direct Current)
DC	Drain Commun
DNL	Non linéarité différentielle (Differential Non-Linearity)
DR	Droop Rate
DSP	Digital Signal Processing
DTI	Isolement à tranchée profonde (Deep Trench Isolation)
EC	Emetteur Commun
EMBRACE	Electronic Multi-Beam Radio Astronomy ConcEpt
ECL	Logique à emetteurs couplés (Emitter coupled logic)
ENOB	Nombre de bits effectifs (Effective Number Of Bit)
ERBW	Résolution effective de la bande passante (Effective Resolution BandWidth)
E/B	Echantillonneur-Bloqueur
FFT	Transformée de Fourier rapide (Fast Fourier Transform)
FP	Framework Program
FPGA	Réseau de portes programmables in situ (Field-Programmable Gate Array)
FR4	Composite de résine époxy renforcé de fibre de verre (Flame Resistant 4)

GC Grille Commune

GS/s Giga échantillons par seconde

INL Erreur de linéarité intégrale (Integral Non-Linearity)

LNA Amplificateur faible bruit (Low Noise Amplifier)

LSB Bit le moins significatif (Least significant bit)

LVDS Signalisation différentielle basse-tension (Low Voltage Differential Signaling)

MSB Bit le plus significatif (Most Significant Bit)

MS/s Mega échantillons par seconde

NDA Accord de non divulgation (Non-Disclosure Agreement)

NMOS N-type Metal-Oxide-Semiconductor logic

NPN N-doped P-doped N-doped

NXP Next eXPerience

OSC Oscillateur

PMOS P-type Metal-Oxide-Semiconductor

PrepSKA The Preparatory Phase for the SKA

Q Quantum

QFP Quad Flat Package

RF Radio fréquence

ROM Mémoire non volatile (Read-Only-Memory)

SC Source Commune

SEF Emetteur suiveur commuté (Switched Emitter Follower)

Si Silicium (Silicon)

SiGeC Silicon Germanium :Carbon

SKA Square Kilometre Array

SKADS Square Kilometre Array Design Studies

SFDR Plage dynamique sans parasites (Spurious Free Dynamic Range)

SNDR (**SINAD** Rapport signal sur bruit avec distorsion (Signal to Noise and Distorsion Ratio)

SNR Rapport signal sur bruit (Signal to Noise Ratio)

SOI Silicium sur isolant (Silicon On Insulator)

SR Vitesse de balayage (Slew Rate)

THD Taux de distorsion harmonique (Total Harmonic Distortion)

TRMC Taux de réjection du mode commun

Liste des symboles

A_v Gain en tension disponible

A_{vf} Gain en tension disponible lorsque l'entrée est adaptée

A_{INV} Gain en tension des inverseurs

C_{eb} Capacité emetteur base

C_h Capacité de charge de l'échantillonneur-bloqueur

C_{ox} Capacité de grille par unité de surface (F/m^2)

$E_{Q_{rms}}$ Erreur de quantification

F_{BP} Bande passante en Fréquence

F_t Fréquence de transition d'un transistor

F_{max} Fréquence maximum d'un transistor

F_s Fréquence d'échantillonnage

G_m Tansconductance (mA/V)

L Largeur du canal d'un transistor MOS

P_{HDmax} Puissance de l'harmonique la plus élevée

Q_{Ch} Charge de la capacité

$R_{Echelle}$ Valeur d'une résistance de l'échelle de résistance

R_p Résistance équivalente de charge

R_{out} Résistance de sortie

S_{11} Coefficient de réflexion en entrée d'un quadripôle

S_{12} Coefficient de transmission de la sortie vers l'entrée d'un quadripôle

S_{21} Coefficient de transmission de l'entrée vers la sortie d'un quadripôle

S_{22} Coefficient de réflexion en sortie d'un quadripôle

S_{cc21} Gain en puissance du mode commun

S_{dd11} Coefficient de réflexion différentiel en entrée d'un quadripôle

S_{dd12} Coefficient de transmission différentiel de la sortie vers l'entrée

S_{dd21} Gain en puissance du mode différentiel

S_{dd22} Coefficient de réflexion différentiel en sortie d'un quadripôle

$Sortie_{num}$ Code numérique de sortie en fonction des sorties binaires
 T_{latch} Temps de basculement nécessaire pour un niveau logique en sortie
 V_A Tension d'Early
 V_{LSB} Valeur en tension du bit de poids le plus faible
 V_{cc} Tension d'alimentation analogique
 V_{dd} Tension d'alimentation numérique
 V_{gs} Différence de potentiel entre la grille et la source d'un transistor MOS
 V_{IN} Tension d'entrée
 V_{IN+}, V_{IN-} Respectivement la valeur de la tension de l'entrée "+" et de l'entrée "-" d'une entrée différentielle
 V_{indyn} Plage dynamique de l'entrée
 V_{offset} Tension d'offset
 V_{pp} Tension crête-crête
 V_{REF+}, V_{REF-} Respectivement la valeur de la tension de l'entrée "+" et de l'entrée "-" de l'échelle de référence
 V_{t0} Tension de seuil
 W Longueur du canal d'un transistor MOS
 Z_{ch} Impédance de charge
 Z_{in} Impédance d'entrée
 Z_S Impédance de sortie

Introduction

Le travail décrit dans ce mémoire se situe dans le contexte d'études préparatoires à un projet international de radioastronomie, le projet Square Kilometre Array (SKA).

La radioastronomie est une branche de l'astronomie traitant de l'observation du ciel dans le domaine des ondes radioélectriques. Les instruments nécessaires pour cette branche se nomment des radiotélescopes. Ils exigent un développement électronique identique à celui des récepteurs radio, dans lesquels nous trouvons souvent des convertisseurs analogiques numériques (CAN).

Les applications de la radioastronomie demandent des performances électroniques de plus en plus sévères (bruit, dynamique, numérisation). Mon travail de thèse se situe dans ce contexte.

Les divers procédés technologiques utilisés dans l'électronique d'aujourd'hui (téléphonie portable, micro-processeurs ...) permettent la conception de CAN performants fonctionnant en haute fréquence, ou plutôt ce que l'on nomme des CAN ultra-rapides. Ils permettent une simplification de l'aspect système radiofréquence (RF) d'une chaîne de réception en traitant directement toute la bande de fréquence désirée (figure 1). Cette vue d'ensemble simplifiée est innovante et séduit les chercheurs radioastronomes actuels pour regarder librement le ciel dans une large bande de fréquence.

Mes divers travaux effectués pendant ma présence à la station de radioastronomie de Nançay se sont orientés sur la conception de CAN ultra-rapides. La prise en compte des bandes de fréquences d'observations propres aux projets radioastronomiques du futurs (bande L¹) est très importante pour le choix d'une structure du CAN.

Il existe en effet beaucoup de solutions pour convertir un signal analogique en signal numérique. Nous pouvons citer des convertisseurs à rampes, à approximations successives, sigma delta, pipelines, flash, semi-flash. D'après l'état de l'art des CAN (voir la première partie) à l'heure actuelle, seule une structure flash permet de numériser en une seule fois la bande L (figure 1.b), sans transposer différentes bandes de fréquences en bande de base (figure 1.a).

Parmi les avantages et inconvénients de la structure flash décrits dans le chapitre I, l'accessibilité et le financement d'un procédé technologique sont à considérer fortement. L'accès d'un procédé CMOS et BiCMOS de 0,25 μm de finesse de gravure a été choisi dans le laboratoire où j'ai travaillé. Ce critère a permis de scinder en deux l'étude de la conception des CAN.

1. La bande L est la partie du spectre électromagnétique définie par les fréquences de 1 à 2 GHz environ. Les fréquences de 1,4 à 1,427 GHz sont attribués à des fins de recherches spatiales et scientifiques, dont la radioastronomie.

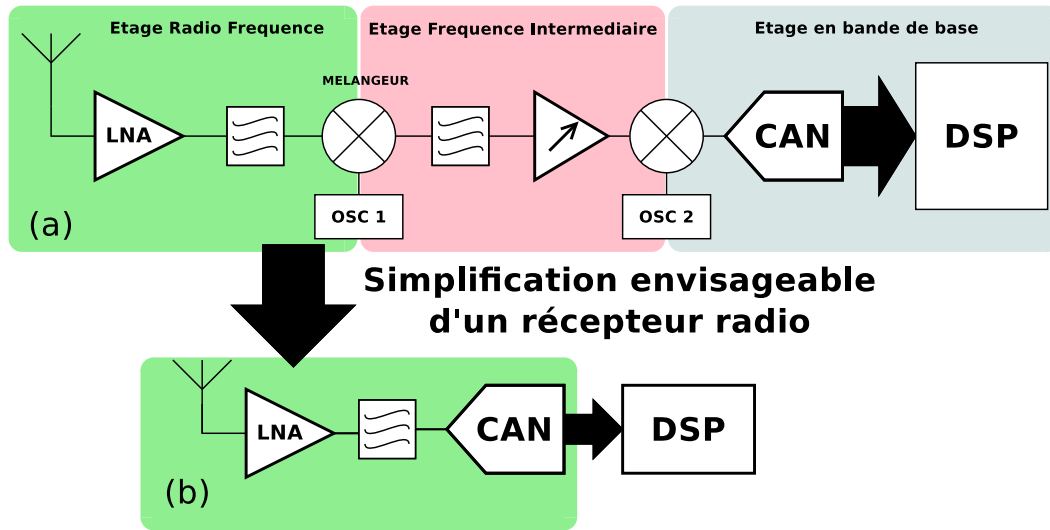


FIGURE 1 – a. Récepteur hétérodyne en bande L (CAN \ll 1 GS/s), b. Récepteur radio simplifié en bande L (CAN $>$ 3 GS/s)

Dans un premier temps, l'usage des transistors CMOS $0,25 \mu m$ (chapitre II) est apparu utile pour valider une méthode (conceptions/simulations, réalisations et tests) pouvant être appliquée à des technologies MOS de gravures plus fines mais très coûteuses (CMOS 65 nm, 45 nm).

Dans un second temps, l'usage des transistors bipolaires $0,25 \mu m$ SiGeC a été exploré pour plusieurs raisons (décrites dans le chapitre III). Cela a permis de compléter la méthode de conception des CAN rapides et de montrer la capacité à numériser la bande L en ayant un coût relativement faible.

0.1 Contexte scientifique

Le projet international Square Kilometre Array (SKA) sera le plus grand radio-télescope jamais construit au monde, composé de plusieurs millions d'éléments de réception. La thématique majeure du radiotélescope SKA sera l'observation des pulsars et des trous noirs, l'exploration des limites de la gravitation [1] [2] [3]. Actuellement le projet Square Kilometre Array (SKA), qui implique la participation de dix-neuf pays, est en cours de développement dans différents laboratoires.

Ce radiotélescope du futur sera 50 fois plus sensible, aura une plus grande résolution angulaire et spectrale que tout ce qui a été construit jusqu'à maintenant. Grâce à sa grande surface collectrice, le radiotélescope sera d'une grande sensibilité. Le radiotélescope SKA sera composé d'un réseau d'antennes radio réparties sur 3000 kilomètres au sol. 50 % de cette surface collectrice sera répartie sur une surface de 5 kilomètres de diamètre, 75 % sur 150 kilomètres de diamètre, et le reste dans différentes stations réparties dans différents endroits du monde (figure 2). Ce projet effectuera des observations dans des bandes de fréquence comprises entre 70 MHz à 25 GHz. Pour cela, différents

instruments seront utilisés, chacun dédié à une bande de fréquence.

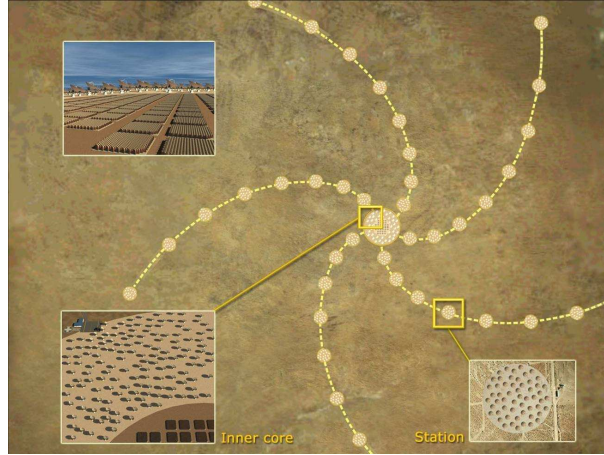


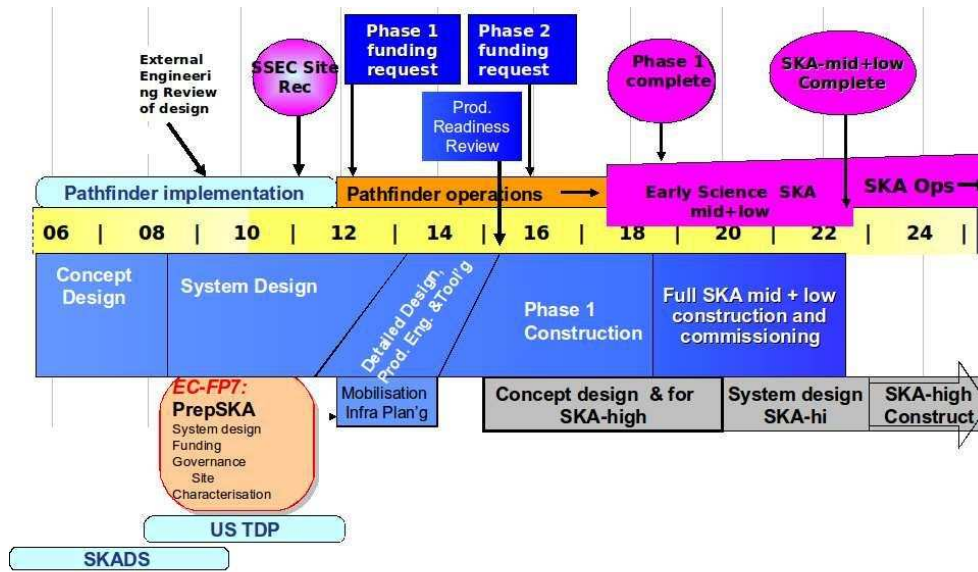
FIGURE 2 – Structure du Square Kilometer Array

La surface collectrice la plus importante sera composée d'une matrice d'un kilomètre carré d'antennes appelées « Aperture array » (Réseaux phasés). Un nouveau concept a été utilisé pour cela : un réseau phasé composé de plusieurs tuiles permettra l'observation de l'ensemble du ciel. Ce réseau sera le coeur du radiotélescope. Puis des centaines de stations de 100 à 200 mètres de diamètre composées de paraboles couvriront le reste de la surface prévue pour le radiotélescope. Il sera possible d'analyser 8 champs d'observation indépendants soit 10 objets différents ce qui permettra d'accroître la vitesse des mesures.

En attendant la réalisation du radiotélescope, SKA devra répondre à des spécifications techniques particulières. La bande de fréquence à couvrir sera de 70 MHz à 25 GHz à l'aide de 3 types de réceptions différentes afin de découper les mesures en 3 bandes de fréquences. Le taux de calcul sera de 1015 opérations par seconde et un taux de sorties de données d'un Téra octet par minute. Il faudra alors 10 ans pour la construction de cet immense radiotélescope avant d'obtenir le résultat final (figure 3).

Afin d'acheminer le projet jusqu'à sa réalisation, plusieurs études sont en cours. Des démonstrateurs et des collaborations européennes permettent de valider des concepts. Les phases de définitions et d'études sont soutenues par la commission européenne, dans le cadre de FP6 (SKADS : SKA Design Study) et FP7 (PrepSKA et AAVP, la poursuite du concept européen de réseaux phasés d'antennes).

Le démonstrateur européen EMBRACE (Electronic Multi-Beam RadioAstronomy ConcEpt) cherche à démontrer la faisabilité du concept à réseau phasé qui compose 50 % du radiotélescope SKA, à travers le consortium européen SKADS [4] [5]. Une partie du démonstrateur est réalisée à la Station de Radioastronomie de Nançay avec une surface collectrice de 80 m^2 . L'autre partie est située à Westerbork aux Pays-Bas avec une surface collectrice de 300 m^2 . Les 2 sites seront reliés par des fibres optiques afin de réaliser des mesures d'interférométrie pour valider le concept européen.



26 February 2009

FIGURE 3 – Feuille de route du projet SKA

Les antennes utilisées pour le projet EMBRACE sont des antennes Vivaldi validées par les Hollandais. [6] a démontré les aspects fondamentaux du concept de réseaux phasés. Les antennes sont regroupées par 72 pour donner lieu à une tuile (figure 4). L'électronique qui lui est associée comporte autant d'amplificateurs faible bruit (LNA) que d'antennes (72) et 18 circuits « beamformers ». Le circuit « beamformer » est l'un des circuits intégrés de l'Unité Scientifique de Nançay (USN) qui a été retenu pour le démonstrateur [7]. Il permet de former 2 champs d'observation : il recombine en phases les signaux voulus en sorties de 4 antennes et permet une variation de gain de 4 dB maximum sur chaque voie Radio Fréquence (RF), cela pour récupérer des erreurs de gain entre les différentes voies.



FIGURE 4 – Une tuile composée d'antennes Vivaldi avec commandes intégrées

L'observatoire de Paris et plus particulièrement la station de radioastronomie de Nançay est fortement impliqué dans les études préparatoires à SKA, à travers :

- Le contrôle-commande du démonstrateur EMBRACE
- Le management
- Fonctionnement du réseau
- Le traitement des données
- Conception de circuit intégré microélectronique
- Fonctionnement du démonstrateur sur site
- Le traitement des interférences

Par conséquent, le laboratoire de microélectronique de la station de radio-astronomie de Nançay développe des LNAs, des filtres, des convertisseurs analogiques numériques, des circuits beamformers et différentes études sur silicium. Cette thèse se place en tant que prospective dans le cadre du projet européen SKADS dont l'objectif à long terme de l'équipe de microélectronique de Nançay est de concevoir un circuit intégré à entrée analogique faible bruit et à sortie numérique haut débit.

0.2 Objectifs

Dans la mesure astronomique comme dans les récepteurs radio, nous utilisons un CAN qui permet de numériser une bande de fréquence à proprement dite. Il existe plusieurs types de récepteurs radio [8] dont le plus connu est le récepteur hétérodyne illustré en figure 5.

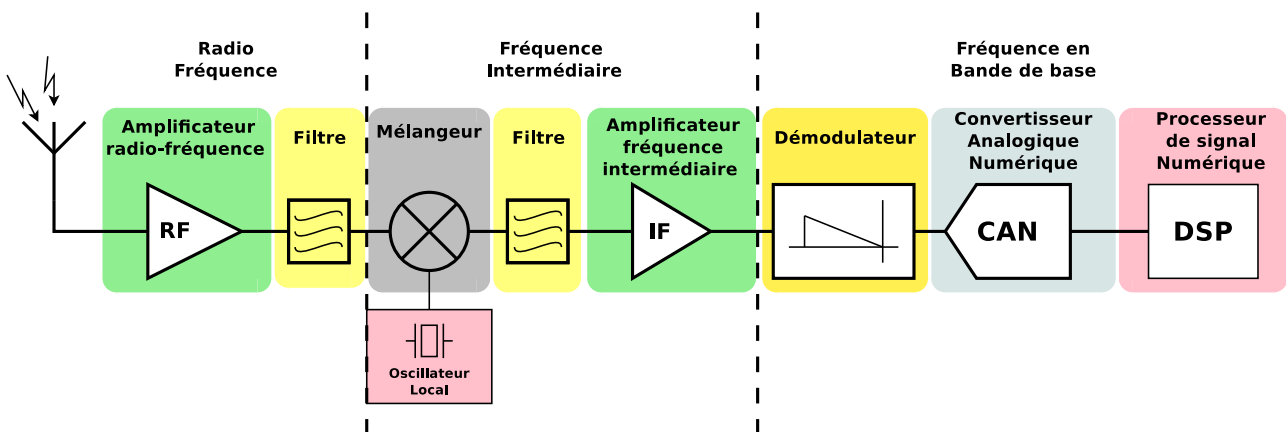


FIGURE 5 – Diagramme récepteur superhétérodyne

Cette architecture est scindée en 3 parties :

- la radio-fréquence (antenne et LNA et filtre)
- la fréquence intermédiaire (mélangeur, oscillateur, amplificateur, filtre)
- la fréquence en bande de base (démodulateur)

Cette architecture est complexe et reste difficilement intégrable à cause de la partie filtrage et du mélangeur. Cependant la faisabilité d'un système de réception tout intégré a été démontrée [9].

Un procédé de simplification consiste à enlever la partie « fréquence intermédiaire » et à numériser directement les signaux analogiques avec un CAN rapide, comme l'illustre la figure 6. C'est un système qui reste très flexible car le traitement ne se fait que numériquement et la complexité est moindre. Les contraintes sur le CAN deviennent sévères : pour numériser la bande L jusqu'à 1.5 GHz, il faut une très grande rapidité, ce qui est en opposition avec une large dynamique, comme le montrent des études précédentes : très faible résolution binaire et très haute rapidité [10] et inversement pour [11].

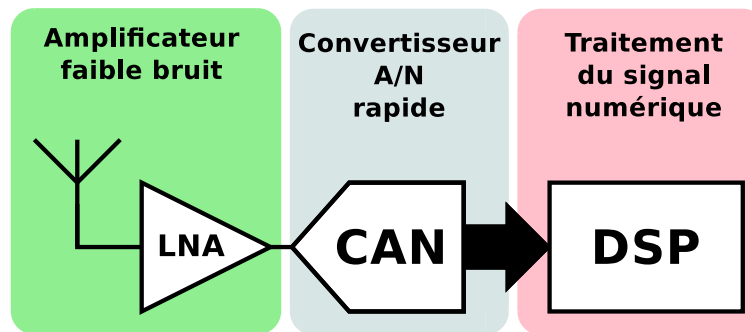


FIGURE 6 – Diagramme de réception rapide

L'objectif principal de cette thèse est de concevoir un CAN capable de numériser les signaux analogiques dans la bande 100 - 1500 MHz. Les principales contraintes pour cette conception sont la bande passante, la consommation, la dynamique, mais aussi le choix technologique qui peut fortement influencer sur le coût d'un prototype. De plus, le coût est un élément essentiel dans l'étude d'un projet. Un projet tel que SKA utilise les composants à des milliers d'exemplaires, à terme lors des réalisations finales, le choix de la conception d'ASIC reste à ce jour la solution la plus rentable en terme de coût. Ces diverses contraintes constituent le cahier des charges.

0.3 Choix des paramètres du CAN pour le radiotélescope SKA

Le radiotélescope sera installé sur un site radioélectrique relativement propre, deux endroits sont encore en compétition : l'Afrique du sud et l'Australie (figure : 7). Ce choix, en minimisant les interférences d'origine humaine au sol (télévision, radio, téléphones,...), permet de restreindre la dynamique de la chaîne de réception. Ceci permet de limiter la dynamique du CAN, et ainsi de diminuer la consommation du radiotélescope.

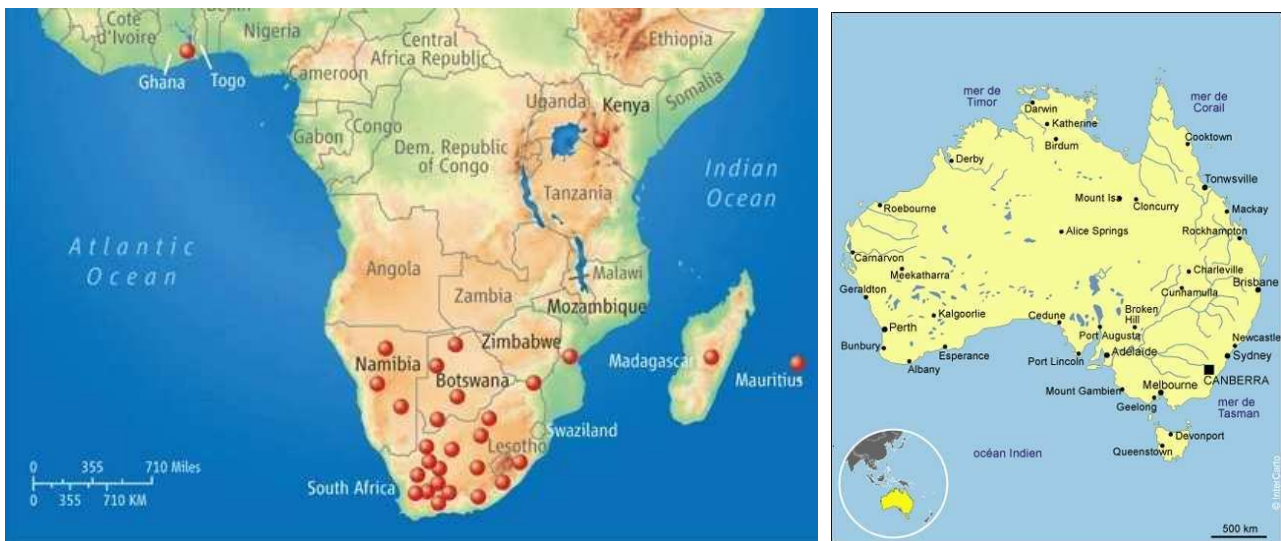


FIGURE 7 – Les deux sites en compétition pour l'accueil du radiotélescope SKA : l'Afrique du sud et l'Australie

Dans le papier blanc de SKADS [12] plusieurs critères permettent de faire le choix du CAN : la fréquence d'échantillonnage, la dynamique et la consommation.

La fréquence d'échantillonnage

Tout d'abord le choix de la technologie est le premier critère de sélection, il définit le coût et la vitesse de fonctionnement. La technologie silicium semble pouvoir atteindre les fréquences de fonctionnement voulues grâce à l'évolution du marché et des exigences en matière de communications à haute vitesse, haute résolution vidéo et tout en gardant une consommation faible. Les CAN rapides atteignant 3 à 3,5 GHz de fréquence d'échantillonnage sont réalisables. C'est la condition nécessaire à l'étude présentée dans ce mémoire, qui en premier lieu veut permettre de simplifier la chaîne de réception en supprimant la transposition de fréquence.

La fréquence d'échantillonnage est un paramètre important car il impose la consommation, plus la fréquence d'échantillonnage est élevée, plus la consommation croît fortement.

La dynamique

Les réseaux phasés de tuiles ne requièrent pas une forte résolution en tension, environ 3 bits sont suffisant pour numériser la chaîne d'acquisition analogique. Cependant le besoin en résolution binaire augmente avec deux facteurs principaux : les interférences radio fréquence (RFI) et la largeur de la plage analogique. Il est nécessaire de numériser avec précision la plupart des RFI pour maintenir la linéarité et ne pas avoir à jeter un nombre excessif de blocs de données.

Plus la résolution numérique du CAN est élevée plus cela est bénéfique à la chaîne analogique (LNA, Beamformer). On peut avoir une meilleure précision et obtenir une diminution de la plage analogique. Toutefois, une réduction de la plage analogique de tension ajoute des exigences sur la valeur des pas de quantification (Quantum) lors de la numérisation. Le CAN se doit d'être précis afin de ne pas effectuer une erreur lors de cette numérisation. De plus, la précision du CAN engendre une consommation élevée.

Au contraire, une augmentation de la plage analogique d'entrée diminue les exigences du CAN mais demande une surconsommation de la chaîne d'acquisition (LNA) et de la partie analogique d'entrée du CAN afin d'acquérir la plage totale de tension.

Un CAN 6 bits à 3 GS/s semble être un bon compromis entre performances pour les mesures astrophysiques de très bonne qualité et consommation [12].

La consommation

La consommation est un paramètre crucial dans la conception du CAN, car le futur radiotélescope sera composé de plusieurs CAN par tuile. Dans les versions prototypes comme actuellement EMBRACE et prochainement AAVP, il y a un CAN par faisceau (beam) radiofréquence et par polarisation formés. La consommation totale pour la numérisation dépend entièrement du nombre de faisceaux (beams) radiofréquences réalisés lors de la construction finale du radiotélescope SKA.

D'après [12], un CAN 6 bits à 3 GS/s est raisonnable. Une étude sur un CAN est réalisée par IBM qui montre des bons résultats de simulation avec une technologie silicium très fine (45 nm) mais très coûteuse en prototypage et en production. La consommation pour ce CAN complet est inférieure à 100 mW pour une résolution de 4 bits. Une hypothèse est donc émise avec une technologie silicium en 22 nm avec une consommation inférieure à 70 mW. Ces hypothèses sont le point de départ de l'étude qui suit.

La consommation peut diminuer fortement avec le choix d'une technologie de très fine gravure mais avec un coût de fabrication relativement élevé qui ne devient pas négligeable pour une production de plusieurs centaines de milliers d'exemplaires.

Pour des raisons de coût et d'accès aux technologies fines en prototypage, l'étude est faite sur une technologie 0,25 μm en gardant les spécifications en fréquence d'échantillonnage et en dynamique. Cependant, il est impossible d'avoir une faible consommation avec ce type de technologie.

0.4 Organisation du mémoire

Après une présentation succincte sur le projet international scientifique SKA pour lequel les CAN rapides devront être utilisés, la suite du mémoire est divisé en trois parties principales.

La première partie, après un rappel sur les notions de bases en électronique et plus particulièrement les transistors utiles à cette étude, donne les contraintes techniques et technologiques. Les caractéristiques ainsi que les différents types de convertisseurs analogiques numériques sont présentés dans ce chapitre. Cela permet de fixer un choix de structure pour les CAN rapides. Le développement de CAN étant le sujet de l'étude décrite dans ce mémoire.

La deuxième partie décrit les différentes parties d'un CAN flash ultra rapide : échantillonneur-bloqueur, comparateur, encodage numérique. Ces différentes parties sont appliquées à la conception du premier CAN flash en technologie CMOS $0,25\ \mu m$ ayant une fréquence d'échantillonnage de 1 GS/s, une bande de fréquence de Nyquist de 500 MHz et une résolution de 6 bits. Outre la caractérisation du CAN flash longuement décrite (INL, DNL, SNR, SFDR, ENOB ...), le dessin du masque du circuit n'est pas à négliger et est aussi expliqué dans la deuxième partie de ce chapitre, comme par exemple l'échelle de résistance. Enfin, ce chapitre se termine par les mesures du circuit réalisé en décrivant brièvement un banc de test et ses difficultés.

La troisième partie, suivant un plan similaire à la deuxième, décrit l'étude et la réalisation d'un CAN flash. La méthodologie de conception est alors appliquée à un CAN flash en technologie bipolaire SiGeC $0,25\ \mu m$ ayant une fréquence d'échantillonnage de 3 GS/s, une bande de Nyquist de 1,5 GHz et une résolution de 6 bits. Les topologies du second circuit diffèrent nettement du premier, que ce soit l'échantillonneur-bloqueur, les comparateurs, mais surtout l'encodage numérique où la rapidité nécessaire n'a pu être réalisée qu'en logique numérique ECL (logique à émetteur commun). Cette partie est décrite dans le troisième chapitre. En suivant la méthode du deuxième chapitre, le dessin du masque est expliqué (l'isolation des cellules) ainsi que la configuration d'un nouveau banc de test adapté à une fréquence d'échantillonnage élevée (supérieure à 1 GS/s).

Enfin une conclusion générale reprend les principaux résultats obtenus et propose des pistes pour de nouvelles études.

Première partie

Rappel sur les notions de base des CAN et
les composants utilisés

Chapitre 1

Rappel sur les transistors

Dans le cadre de cette étude, à savoir la conception de CAN très rapides, dans la bande de fréquence 100 - 1500 MHz, plusieurs aspects ont été pris en considération dont le choix technologique effectué par le laboratoire. Avant de décrire un état de l'art sur les CAN, on effectuera un bref rappel sur les transistors et leur topologie de base.

1.1 Contrainte technologique

Un accord de non-divulgence (NDA - Non-Disclosure Agreement) a été signé avec NXP Philips Caen pour utiliser leurs technologies. Ainsi, nous avons la possibilité d'utiliser leur technologie Qubic4X 0,25 μm BiCMOS. Celle-ci reste abordable par rapport à une technologie 45 nm CMOS qui, à l'heure actuelle, demeure à un prix exorbitant pour la réalisation de circuits. De plus, la 65 nm ou 45 nm ne sont pas prévus pour la conception radiofréquence mais exclusivement pour réaliser des cellules numériques, d'où une difficulté supplémentaire pour des circuits mixtes.

La technologie Qubic4X permet de valider et de réaliser des systèmes complexes avec une consommation qui reste convenable par rapport à une technologie de plus fine gravure. Aussi, la technologie Qubic4X permet l'accès à tous les composants passifs : capacité, inductance et résistance. Enfin, deux types de transistors sont mis à notre disposition (CMOS et bipolaire) dont nous donnons quelques caractéristiques techniques ci-dessous.

La technologie Qubic4X

Philips a une technologie à base de silicium BiCMOS pour les nouvelles applications à radiofréquences (RF). Elle est basée sur du silicium germanium carbone (SiGeC) avec un F_T de 130 GHz et un facteur de bruit minimum de 0,4 dB. Son très faible facteur de bruit s'adapte aux récepteurs RF sensibles [13]. En termes de gain et de facteur de bruit, les transistors bipolaires Qubic4X rivalisent avec les transistors sur Arséniure de Gallium pour des fréquences inférieures à 10 GHz.

La technologie de NXP est donc utilisée pour des applications micro-ondes qui nécessitent des bas coûts. La technologie Qubic4X actuelle permet la conception de solutions analogiques et numériques RF plus fortement intégrées.

1.2 Caractéristiques principales des transistors NMOS et PMOS

Le transistor MOS est un transistor à effet de champ constitué d'un substrat semiconducteur recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de grille. Une différence de potentiel appliquée entre la grille et le substrat crée un champ électrique dans le semiconducteur qui repousse les porteurs majoritaires loin de l'interface oxyde-semiconducteur. Ce champ laisse diffuser des porteurs minoritaires venus de deux îlots de type complémentaire au substrat, la source et le drain. Ceux-ci forment un canal. Ces charges transitent entre le drain et la source situés aux extrémités du canal [14].

Dans le tableau 1.1 suivant apparaissent les principales caractéristiques des transistors NMOS et PMOS de la technologie Qubic4X, notamment les tensions de seuil, les dimensions et le beta square.

TABLE 1.1 – Caractéristiques des transistors NMOS et PMOS

Paramètres	Taille en μm	NMOS	PMOS	Unités	Commentaires
V_{t0}	10/0,25	0,569	-0,534	Volts	Tension de seuil
L_{eff}	10/0,25	0,19	0,15	μm	Longueur
W_{eff}	10/0,25	10	10	μm	Largeur
Beta Sq.	10/10	236	52,77	$\mu A/V_2$	μC_{ox}

Ci-dessous est présentée une vue de coupe du transistor NMOS : 1.1

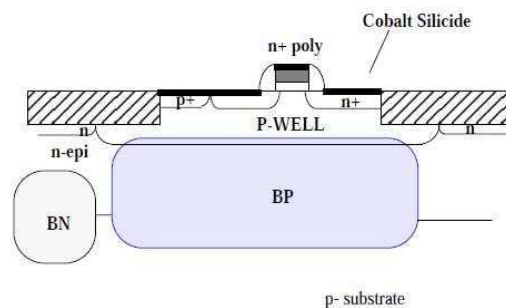


FIGURE 1.1 – Vue de coupe du transistor MOS

1.3 Caractéristiques principales du transistor Bipolaire SiGeC NPN

Le transistor bipolaire NPN est composé de trois zones dopées qui sont l'émetteur fortement dopé « n », la base (fine) dopée « p » et le collecteur faiblement dopé « n ». Il s'agit donc de deux jonctions PN tête-bêche ayant une zone en commun [14]. La technologie QUBIC4X propose plusieurs types de transistors bipolaires NPN sensiblement identiques. Dans le tableau 1.2 suivant apparaissent les principales caractéristiques d'un des transistors NPN, notamment la fréquence de transition, la tension Early et le Beta.

TABLE 1.2 – Caractéristiques du transistor bipolaire

Paramètres	Taille en μm	NPN	Unités	Commentaires
F_T	0,4/10	140	Giga Hertz	Peak F_T
F_{max}	0,4/10	180	Giga Hertz	
V_A	0,4/10	> 100	Volts	Tension Early
$h_{fe}@V_{be} = 0,7$	0,4/10	400	—	Beta

Ce type de NPN est utilisé lorsque la haute vitesse et un courant fort sont recherchés. L'émetteur a une largeur de $0,4 \mu m$. Le nombre de doigts d'émetteur peut varier de 1 à 20 avec une longueur d'émetteur fixée à $1,3 \mu m$.

La vue de coupe d'un transistor bipolaire est présenté sur la figure 1.2.

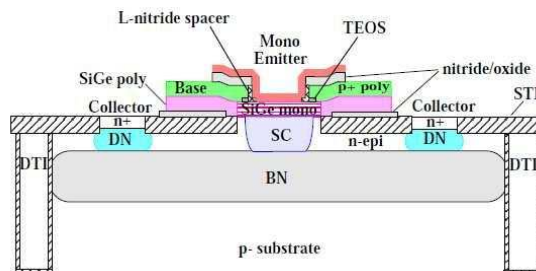


FIGURE 1.2 – Vue de coupe du transistor Bipolaire

Pour conclure sur le choix de cette technologie, la bibliothèque associée est très complète pour effectuer du prototypage de bonne qualité avec des transistors atteignant des fréquences de transition de 180 GHz. De plus le coût d'une fonderie reste abordable. Cette technologie Qubic4X fait le compromis entre coût et performance.

1.4 Rappel sur les topologies de base de transistor

Dans la conception électronique analogique, nous utilisons certaines structures de bases auxquelles viennent s'ajouter d'autres composants permettant d'ajuster ces dernières [15]. Un bref rappel de ces structures de base sont citées sur la figure 1.3 émetteur commun (EC), collecteur commun (CC) et base commune (BC) pour le transistor bipolaire NPN et source commune (SC), drain commun (DC), grille commune (GC) pour le transistor NMOS. Chacune de ces topologies sont utiles et à connaître pour réaliser une fonction bien particulière. Par exemple, les topologies EC et SC sont utilisées dans le cas d'une amplification. Le CC et DC sont utiles pour avoir une faible impédance de sortie. BC et GC sont utilisés en buffer de courant. Le tableau 1.3 résume ces topologies en les comparant en fonction de leurs gains, de leurs impédances d'entrées et de sorties, et de leurs fonctions ou applications.

TABLE 1.3 – Récapitulatif des caractéristiques des topologies

Type	EC & SC	BC & GC	CC & DC
Impédance d'entrée	Moyenne	Faible	Forte
Impédance de sortie	Moyenne	Forte	Faible
Gain en courant	Fort	<1	Fort
Gain en tension	Fort	Fort	<1
Gain en puissance	Fort	Fort	Moyen
Fréquence de coupure	Faible	Fort	Faible
Application	Transconductance Amplification	Buffer de courant	Buffer de tension

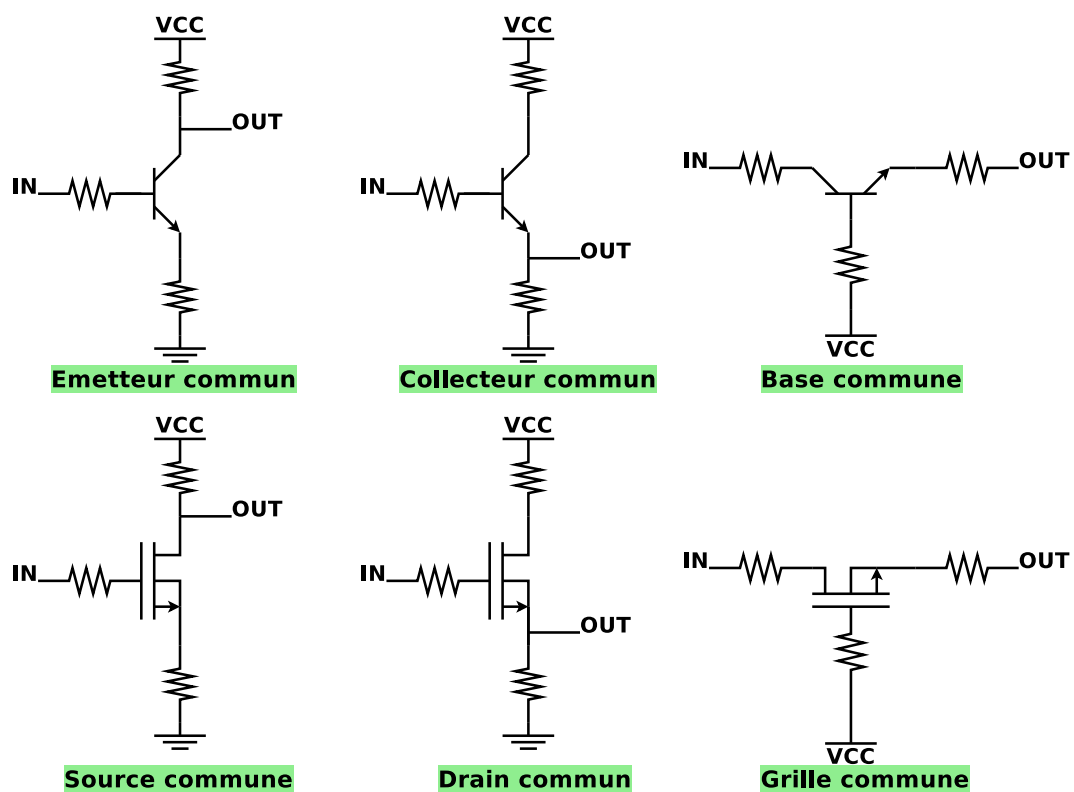


FIGURE 1.3 – Différentes topologies de base pour les transistors NPN et les transistors NMOS avec des résistances de polarisations

Chapitre 2

Notions de base sur les CAN

Introduction sur les CAN

Dans l'environnement astronomique ou naturel, tous les signaux sont dits analogiques (exemple : son, image, couleur ...). Chaque signal évolue linéairement dans le temps. Cependant, le traitement de signal reste essentiellement numérique. Pour des questions de facilité de transport, de traitement, et de sauvegarde, le numérique reste à ce jour le moyen le plus simple. Le passage de l'analogique au numérique doit être réalisé avec une certaine cohérence afin de produire un traitement qui soit proche de la réalité.

Pour cela, nous utilisons des systèmes permettant de passer de l'analogique au numérique. Dans ce présent chapitre, nous allons passer en revue les différentes caractéristiques des convertisseurs analogiques numériques (CAN, ADC¹).

2.1 Caractéristiques générales d'un CAN

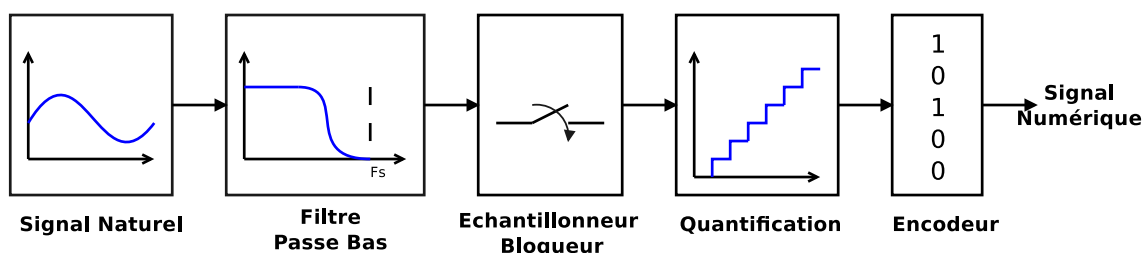


FIGURE 2.1 – Bloc général

Un convertisseur analogique numérique (CAN), comme son nom l'indique, permet de convertir une valeur analogique en une valeur numérique (figure 2.1).

1. Convertisseur analogique numérique, acronyme en français

2.1. CARACTÉRISTIQUES GÉNÉRALES D'UN CAN

La valeur numérique de sortie correspond à un code, ce code étant l'image de la valeur analogique de l'entrée. Chacun de ces codes numériques est obtenu en comparant l'entrée par rapport à une référence de valeur fixe. La plus petite valeur de référence indivisible s'appelle le quantum. Le quantum est assimilé à une valeur binaire souvent exprimée en fonction de la résolution du convertisseur (LSB^2). Le quantum se détermine souvent en pourcentage de la pleine échelle. Le LSB est la valeur du bits de poids le plus faible.

Elle est notée par :

$$LSB = \frac{1}{2^n} \quad (2.1)$$

n étant la résolution binaire du CAN.

De plus, le LSB est défini en tension par V_{LSB} correspondant au changement de potentiel entre 2 niveaux numériques :

$$Q = V_{LSB} = \frac{V_{in_{dyn}}}{2^n} \quad (2.2)$$

Q étant le quantum, $V_{in_{dyn}}$ est la plage dynamique d'un CAN et n est la résolution binaire.

La résolution d'un CAN est déterminée par le nombre de bits en sortie. Plus le nombre de bits en sortie sera élevé plus la résolution sera fine. Un tableau, (tableau 2.1) à titre d'exemple, permet de faire le point sur les performances à atteindre en terme de bits vis à vis du quantum [16].

TABLE 2.1 – Comparatif d'erreur de quantification par rapport au nombre de bits

Nombre de bits du CAN	Valeur décimale de la dynamique	Précision de quantification +/- 1/2bit (pourcents)	LSB 1 Volts de plage
4	15	+/- 3,3	62,5 mV
6	63	+/- 1,6	15,6 mV
8	255	+/- 0,4	3,9 mV
10	1023	+/- 0,1	0,98 mV
12	4095	+/- 0,025	240 μ V

En fonction du nombre de bits de sortie, on peut faire correspondre une valeur analogique. L'entrée analogique est quantifiée en un code en sortie représentatif de l'entrée.

2. Least significant bit, acronyme en anglais

2.1. CARACTÉRISTIQUES GÉNÉRALES D'UN CAN

Le code numérique de sortie peut être décomposé ainsi :

$$Sortie_{num} = V_{LSB} \cdot \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \right) \quad (2.3)$$

Dans le cas présenté, b_1 est le bit le plus significatif (MSB^3) et b_n le moins significatif.

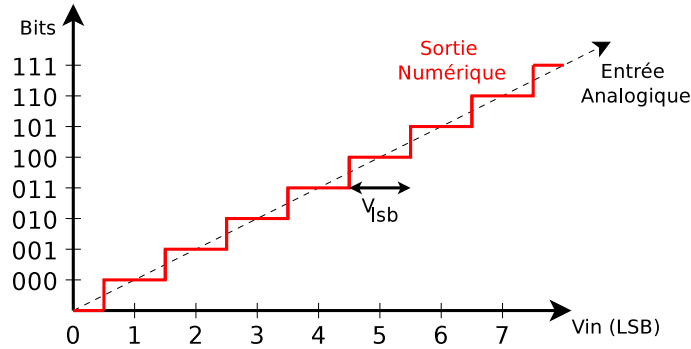


FIGURE 2.2 – Fonction de transfert du CAN

A partir de cette équation, nous pouvons conclure que le code résultant d'une droite balayant toute la plage de fonctionnement d'un CAN, comme le montre la figure 2.2, est une fonction en marches d'escalier qui correspond à chaque code binaire.

Le bruit de quantification

La quantification apporte une certaine erreur sur chaque conversion du signal analogique correspondant au pas d'un LSB appelé bruit de quantification. En d'autres termes :

$$-\frac{1}{2} \cdot V_{LSB} < err < \frac{1}{2} \cdot V_{LSB} \quad (2.4)$$

Ici, err correspond au bruit de quantification sur chaque conversion.

Le bruit de quantification dépend essentiellement de la résolution du CAN. C'est une erreur inévitable bien qu'elle puisse être réduite par la résolution du CAN. Plus la résolution du CAN sera grande plus l'erreur qui est directement liée au LSB sera faible. La tension d'entrée évolue de manière continue dans le temps mais le code de sortie possède des niveaux de tension fixes et continus.

3. Most significant bit, acronyme en anglais

2.2. CARACTÉRISATION DES ERREURS

La courbe en dents de scie représentée (figure 2.3) illustre la différence entre une entrée analogique et le code numérique résultant. Cette différence correspond à l'erreur de quantification. En effet, à partir de cette courbe, on peut calculer l'erreur de quantification RMS notée $E_{Q_{rms}}$.

$$E_{Q_{rms}} = \sqrt{\frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} V_Q^2 dt} = \sqrt{\frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} \left(V_{LSB} \frac{-t}{T} \right)^2 dt} = \sqrt{\frac{V_{LSB}^2}{T^3} \left(\frac{t^3}{3} \Big|_{-T/2}^{T/2} \right)} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.5)$$

T est la durée d'un échelon d'un bit pour une réponse à un signal rampe et V_{LSB} est la plus petite valeur de tension pour un pas de quantification.

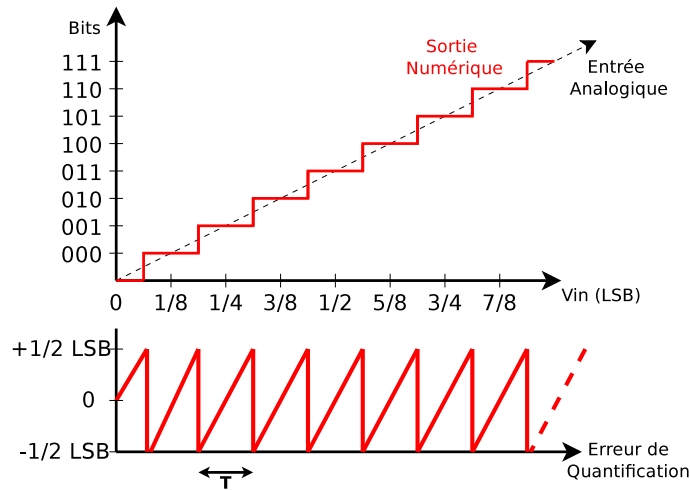


FIGURE 2.3 – L'erreur de quantification d'une entrée à rampe

2.2 Caractérisation des erreurs

Il est important de faire une caractérisation des erreurs propres au CAN, dans les domaines statiques et dynamiques. Les différents types d'erreurs et leur mode de calcul sont rappelés ci-dessous. Ceci nous permettra d'évaluer la qualité des CAN étudiés et de les comparer à l'existant. Chaque type d'erreur est habituellement désigné par un acronyme spécifique qui est rappelé (faisant souvent référence à un acronyme en anglais). Tous les différents termes permettent de déterminer le taux d'erreur du CAN de l'entrée vers la sortie pour un grand nombre de conversions réalisées. Dans tout ce qui suit, nous avons choisi l'exemple d'un CAN 3 bits pour sa simplicité.

2.2.1 Les erreurs statiques

Les erreurs statiques expriment les paramètres pouvant être mesurés lorsque le signal varie très lentement dans un régime basse fréquence. Très souvent, ces paramètres sont mesurés à l'aide d'une rampe en entrée qui balaie tous les codes du convertisseur du LSB au MSB. En statique, nous mesurons la linéarité du CAN.

Elle est définie par 4 paramètres principaux :

- la tension d'offset
- l'erreur de gain
- la non-linéarité intégrale (INL)
- la non-linéarité différentielle (DNL)

La tension d'offset

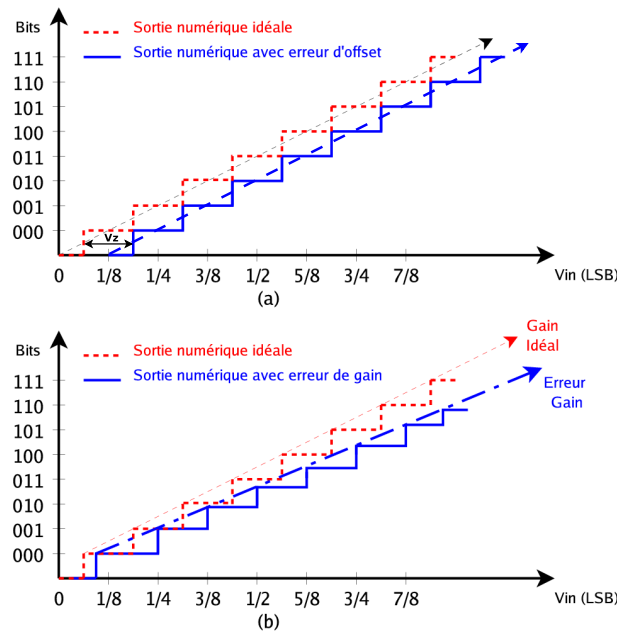


FIGURE 2.4 – Les erreurs statiques : (a) erreur d'offset (b) erreur de gain

L'offset identifie la déviation de la localisation de la droite idéale de plus petit niveau de transition sur la fonction de transfert du CAN. Ce décalage est représenté sur la figure 2.4.a. Elle s'exprime par l'équation suivante :

$$V_{offset} = V_z - V_{ideal} \quad (2.6)$$

V_z est le premier niveau de transition de tension, $V_{ideal} = 0,5.LSB$ est égale à la tension idéale.

L'erreur de gain

Le gain du CAN est équivalent à une variation de la pente de la fonction de transfert de conversion comme l'indique la figure 2.4.b. L'erreur de gain est la mesure de la déviation de la courbe réelle par rapport à la courbe théorique.

La non-linéarité

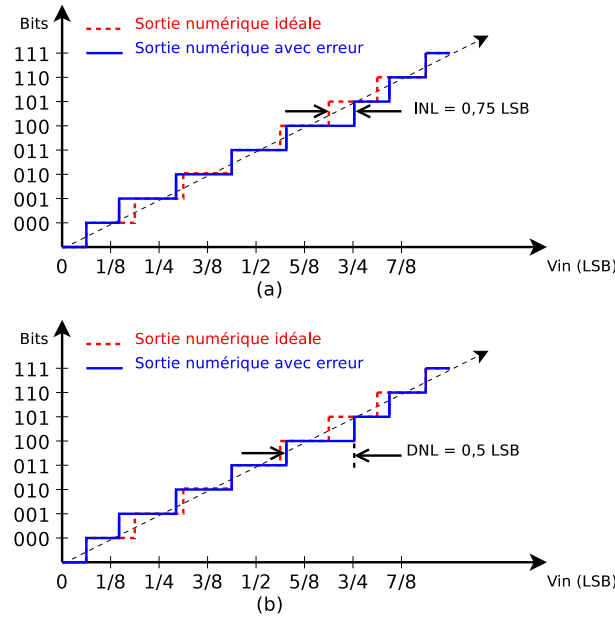


FIGURE 2.5 – Les erreurs statiques : (a) non-linéarité intégrale, (b) non-linéarité différentielle

La linéarité d'un CAN est caractérisée par sa non linéarité différentielle (DNL) et sa non linéarité intégrale (INL), celle-ci étant liée à la première. Les figures 2.5 (a) et (b) montrent 2 fonctions de transfert comparant la fonction de transfert idéale et la fonction de transfert non-idéale des INL et DNL. La DNL est la différence entre la largeur du code et sa largeur idéale, soit un LSB. Pour chaque code, elle est définie et exprimée en pourcentages de V_{LSB} . Une courbe de DNL peut être tracée en fonction des codes numériques de la sortie V_{num} (valeur numérique de sortie). Dans le cas réel, si la DNL excède 1 LSB, le convertisseur peut avoir un ou plusieurs codes manquants. L'INL traduit la déviation des points de la fonction de transfert réelle d'une droite idéale. Dans la littérature, la DNL et l'INL d'un CAN peuvent aussi correspondre à la valeur maximale des DNL et INL ainsi calculées. L'INL est la mesure du décalage du point milieu d'un code par rapport à la position théorique de ce point milieu. Elle peut-être déterminée comme étant l'accumulation des DNL comprises entre la première marche et celle notée "i", "i" correspondant aux différentes DNL.

L'INL peut être exprimé par :

$$INL_j = \sum_{i=0}^{i=j} DNL_i \quad (2.7)$$

2.2.2 Les erreurs dynamiques

Dans l'étude des CAN rapides, la partie dynamique est très importante. Elle permet de caractériser le CAN pour les différentes fréquences d'entrée. On définit ainsi le signal sur bruit (SNR⁴ acronyme en anglais) de la bande de fréquence utile, le Spurious Free Dynamic Range (SFDR⁵ acronyme en anglais), et le nombre de bits effectifs (ENOB⁶ acronyme en anglais). La figure 2.6 montre une analyse spectrale qui définit graphiquement les résultats dynamiques.

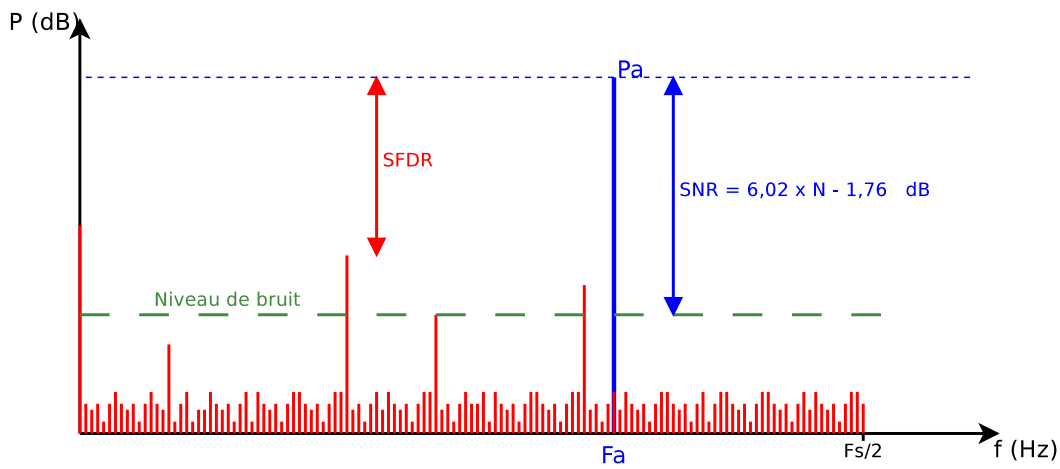


FIGURE 2.6 – Analyse Spectrale, description des résultats dynamiques

Le SNR

On définit le rapport signal sur bruit (SNR) par la mesure du signal efficace en sortie par rapport au niveau de bruit de sortie. On mesure le SNR pour un signal sinusoïdal d'amplitude maximum balayant toute la plage de tension du convertisseur. On peut aussi l'analyser sur le spectre en fréquence du signal. Pour cela, il faut faire la différence entre la raie maximale du signal et le niveau de bruit (valeur efficace de toutes les autres raies spectrales).

Le SNR peut être exprimé par :

$$SNR_{dB} = 20 \cdot \log \left(\frac{V_{IN_{RMS}}}{E_{Q_{RMS}}} \right) = 20 \cdot \log \left(\frac{V_{IN}/\sqrt{2}}{V_{LSB}/\sqrt{12}} \right) = 20 \cdot \log \left(\frac{V_{IN}/\sqrt{2}}{2 \cdot V_{IN}/2^n \cdot \sqrt{12}} \right) \quad (2.8)$$

4. Signal noise ratio

5. Spurious free dynamic range

6. Effective Number of Bits

2.2. CARACTÉRISATION DES ERREURS

avec n le nombre de bits.

On peut donc définir le SNR pour un nombre de bits N donnés :

$$SNR_{dB} = 20 \cdot \log(2^n) = 6,02 \cdot N + 1,76 \quad (2.9)$$

Le SNDR ou SINAD

Le signal sur bruit plus distorsion (SNDR⁷) correspond au signal sur bruit, en considérant les distorsions comme du bruit. La mesure correspond au rapport de la fondamentale du signal d'entrée sur le bruit plus toutes les distorsions se trouvant dans la bande du CAN. En règle générale, on mesure le SNDR au lieu du SNR. Dans la littérature, le SNR correspond à la mesure du SNDR très souvent. Le SNDR s'écrit alors :

$$SNDR_{dB} = \frac{P_{signal}}{P_{bruit} + P_{distortion}} \quad (2.10)$$

Le SFDR

La mesure du SFDR est semblable à celle de la mesure du SNR : on effectue le rapport entre la fondamentale et la raie de distorsion la plus élevée dans la bande de fréquence utile. Le SFDR permet de définir si les harmoniques restreignent la dynamique de la donnée de conversion. Plus le SFDR sera petit, plus le signal utile sera peu extractible dans le domaine spectral. Le SFDR s'écrit :

$$SFDR_{dB} = 10 \cdot \log \left(\frac{P_{signal}}{P_{HDmax}} \right) \quad (2.11)$$

P_{signal} exprime la puissance du signal, P_{HDmax} exprime la puissance de l'harmonique la plus élevée.

L'ENOB

Le nombre de bits effectif (ENOB) permet de définir à partir du SNDR le nombre réel de bits que l'on obtient lorsqu'on prend en compte les erreurs. On convertit seulement le SNDR en unité décibel en une valeur effectif binaire. Ceci donne une meilleure lisibilité pour évaluer les performances dynamiques. L'ENOB s'écrit donc :

7. Signal to Noise and total harmonic Distorsion Ratio

$$ENOB = \frac{SNDR - 1,76dB}{6,02dB} \quad (2.12)$$

2.3 Les CAN rapides

Il existe de nombreuses structures de CAN pouvant être classées de différentes manières [17]. Dans notre cas, nous nous intéressons plus particulièrement à leur bande passante et à leur vitesse d'échantillonnage, c'est à dire les CAN qui numérisent les signaux jusqu'au giga Hertz. En effet, ils sont les plus appropriés pour répondre à notre cahier des charges mais la fréquence d'échantillonnage doit être beaucoup plus élevée. Nous passerons en revue les différentes architectures existantes en examinant les performances des différents CAN.

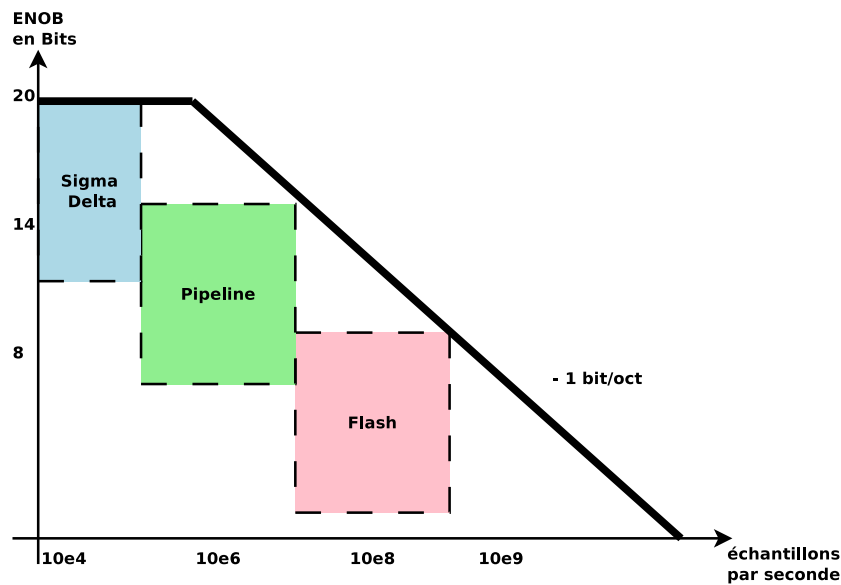


FIGURE 2.7 – Classifications des trois architectures les plus rapides des CAN en fonction de l'ENOB et de la fréquence d'échantillonnage

Dans le cadre du projet, la bande passante souhaitée pour le CAN s'étend de 300 à 1500 MHz. La seule possibilité est d'utiliser des CAN rentrant dans cette gamme de fréquence ou qui s'en rapprochent. On peut constater sur la figure 2.7 que l'ENOB diminue suivant le type de structure du CAN. Plus la fréquence d'échantillonnage est élevée plus le nombre de bits diminue.

2.3.1 Le CAN pipeline et le CAN flash

Le CAN pipeline

Le CAN pipeline est un convertisseur à E étages qui permet de réaliser une série de conversions successives de N bits. Chaque étage est constitué d'un échantillonneur bloqueur (T/H : Track and Hold), d'un CAN de faible résolution, d'un Convertisseur Numérique Analogique (DAC : digital analog converter), d'un soustracteur et d'un amplificateur (figure 2.8).

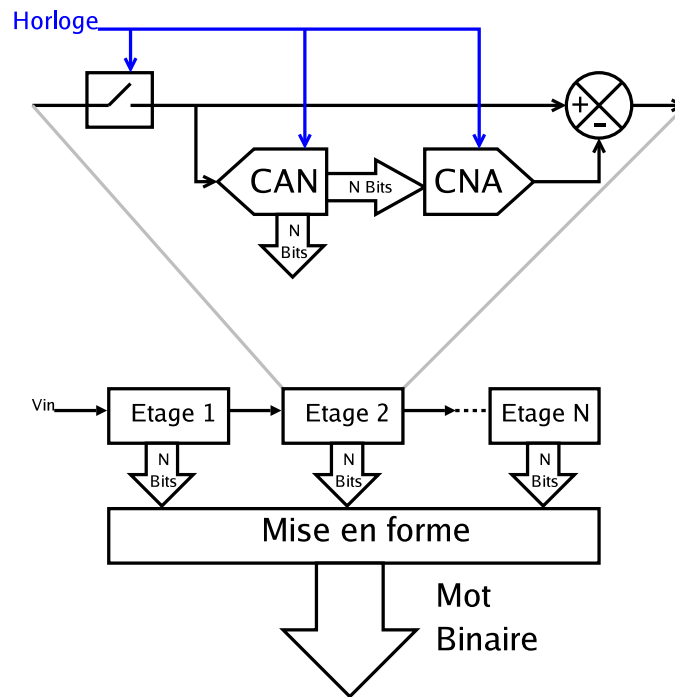


FIGURE 2.8 – Structure Pipeline

A chaque coup d'horloge, on effectue E conversions en parallèle. Chaque conversion étant dédiée à une partie du code. Le convertisseur réalise la conversion des bits de poids forts en finissant par les poids faibles. De cette manière, chaque étage réalise une conversion de N bits ainsi qu'une reconversion analogique du signal numérisé ce qui permet de calculer le résidu. Le résidu de la conversion partielle est la différence entre le signal analogique à l'entrée de l'étage et la reconversion en analogique du signal numérisé. Il est ensuite recalé à la pleine échelle par une multiplication de 2^N . Il faut « E » coups d'horloge pour avoir le premier mot binaire.

Ensuite, un nouveau mot binaire est obtenu à chaque coup d'horloge. L'avantage de ce convertisseur tient à sa superficie et à sa consommation. Les inconvénients sont la vitesse et l'erreur amenées par le résidu qui se répercutent sur le code numérique de sortie.

Le CAN flash

Le CAN flash est l'un des CAN les plus rapides car il permet de réaliser la conversion en un seul coup d'horloge (latence à travers des bascules). Il est réalisé à partir d'un réseau de comparateurs mis en parallèle et d'une partie logique favorisant la mise en forme des données binaires. Au coup d'horloge toutes les conversions se produisent en même temps. La référence de chaque comparateur est amenée par une échelle de résistance. Ainsi les comparateurs permettent la détection de seuil. Le code obtenu en sortie des comparateurs est un code dit « thermomètre ». Il faut convertir ce code en code binaire qui lui est utilisable. Pour cela, plusieurs possibilités s'offrent à nous. La conversion se fait en 2 étapes : il faut réaliser le passage du code thermomètre en un code « 1 parmi N » (N étant le nombre de sorties du comparateur), puis du code « 1 parmi N » à un code binaire (figure 2.9).

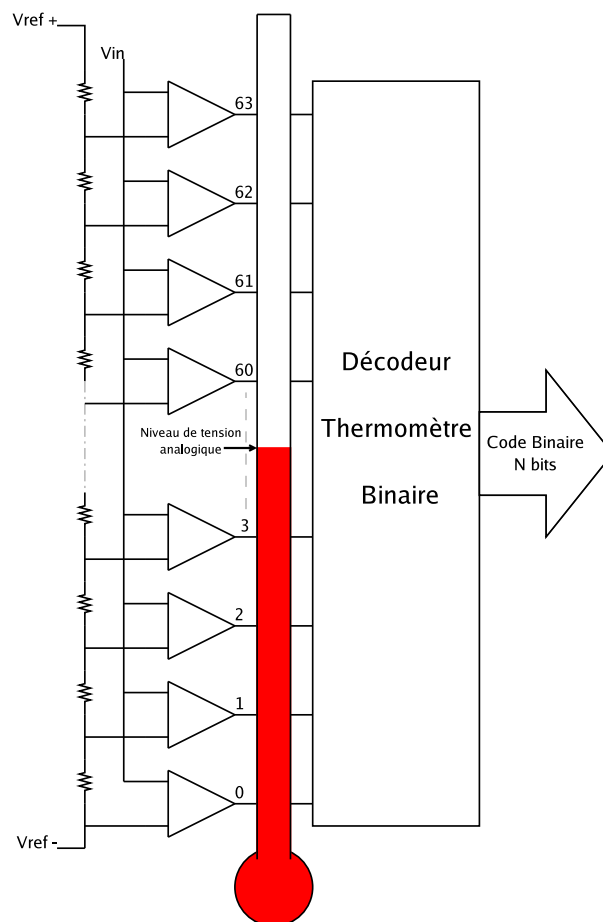


FIGURE 2.9 – Structure de l'ADC Flash

L'avantage d'un CAN flash est la vitesse d'exécution car la conversion se fait en un seul coup

2.4. LES DIFFÉRENTES AMÉLIORATIONS POSSIBLES D'ARCHITECTURE DU CAN FLASH

d'horloge. Contrairement au CAN pipeline, ses inconvénients sont sa forte consommation et sa superficie qui demeurent largement supérieures.

Dans le cadre du projet, nous désirons une bande passante large et une fréquence d'échantillonnage très élevée. Dans cette optique, les caractéristiques sont synthétisées dans le tableau 2.2 illustrant les 2 architectures susceptibles de répondre à nos attentes.

TABLE 2.2 – Comparatif CAN pipeline et flash

Architectures CAN	Auteurs	Nombre de bits	Bande Passante (max)	Fréquence d'échantillonnage (en GHz)	Consommation (en Watts)
Pipeline	[18] [19] [20] [21]	5 - 14	600 MHz	0,05 à 1 GHz	0,07 à 0,25
Flash	[22] [23] [24] [25]	9	3 GHz	5 GHz	0,04 5,8

Pour entreprendre l'étude, le choix du CAN s'est porté sur le flash car cette structure permet d'avoir la plus grande bande passante, en répondant au mieux aux attentes du projet.

2.4 Les différentes améliorations possibles d'architecture du CAN flash

Certaines améliorations peuvent être apportées à l'architecture parallèle (CAN présenté dans le paragraphe précédent) telles que l'architecture interpolée (interpolation), pliée (folding) ou à temps-entrelacé. Ces améliorations permettent soit d'augmenter les performances de vitesse soit de diminuer la consommation et la surface.

2.4.1 Le CAN flash à temps-entrelacé

Le CAN flash à temps-entrelacé (figure 2.10) (time interleaving) est composé de plusieurs CAN mis en parallèle avec pour chacun des signaux d'horloges $fs = F/p$ décalés d'une période, p étant le nombre de CAN en parallèle et F la fréquence du circuit. Un multiplexeur permet de passer de l'un à l'autre de manière périodique afin d'augmenter la vitesse de conversion et la bande passante. Le multiplexeur doit fonctionner à la fréquence F (p fois supérieur). Un échantillonneur-bloqueur (E/B) doit être p fois supérieur à la fréquence d'un CAN.

2.4. LES DIFFÉRENTES AMÉLIORATIONS POSSIBLES D'ARCHITECTURE DU CAN FLASH

Cependant, malgré les avantages de vitesse qu'apporte cette architecture, les problèmes de mésappariement des CAN et de leur horloge respective engendrent des distorsions. L'utilisation d'un tel système accroît fortement la consommation mais permet cependant d'accroître fortement la vitesse [26].

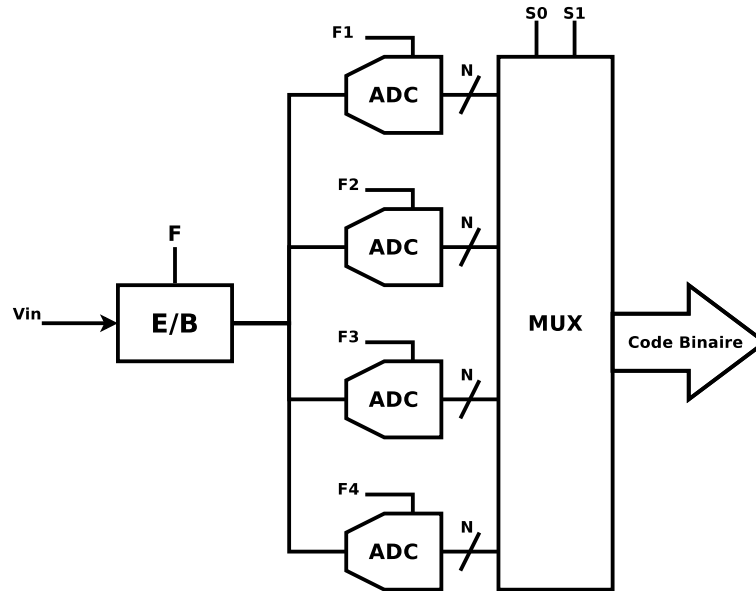


FIGURE 2.10 – CAN à temps entrelacé

2.4.2 Le CAN flash à architecture pliée

Cette architecture permet une chute de la consommation en diminuant le nombre de comparateurs par rapport à l'architecture parallèle. L'architecture pliée est constituée de 2 convertisseurs. Le premier permettant la conversion dit « à gros grain » et le second « à grain fin » comme le montre la figure 2.11. On combine les sorties de l'amplificateur afin de générer un résidu à partir de l'entrée (V_{entre}). On utilise ainsi un nombre réduit de comparateurs pour décoder les N bits faisant partie du LSB. La partie dit « à gros grain » est décodée par une architecture parallèle constituant les N bits du MSB. On réalise ainsi par la sommation des 2 architectures une résolution de $n+N$.

2.4.3 Le CAN flash à architecture interpolée

L'architecture interpolée a pour but de diminuer le nombre d'amplificateurs devant les comparateurs et ainsi de réduire la surface et la consommation du CAN. Sur la figure 2.11 on remarque qu'il y a un amplificateur pour 2 comparateurs. En combinant les 2 méthodes précédemment exposées (l'architecture pliée et interpolée), on peut fortement diminuer la consommation [27].

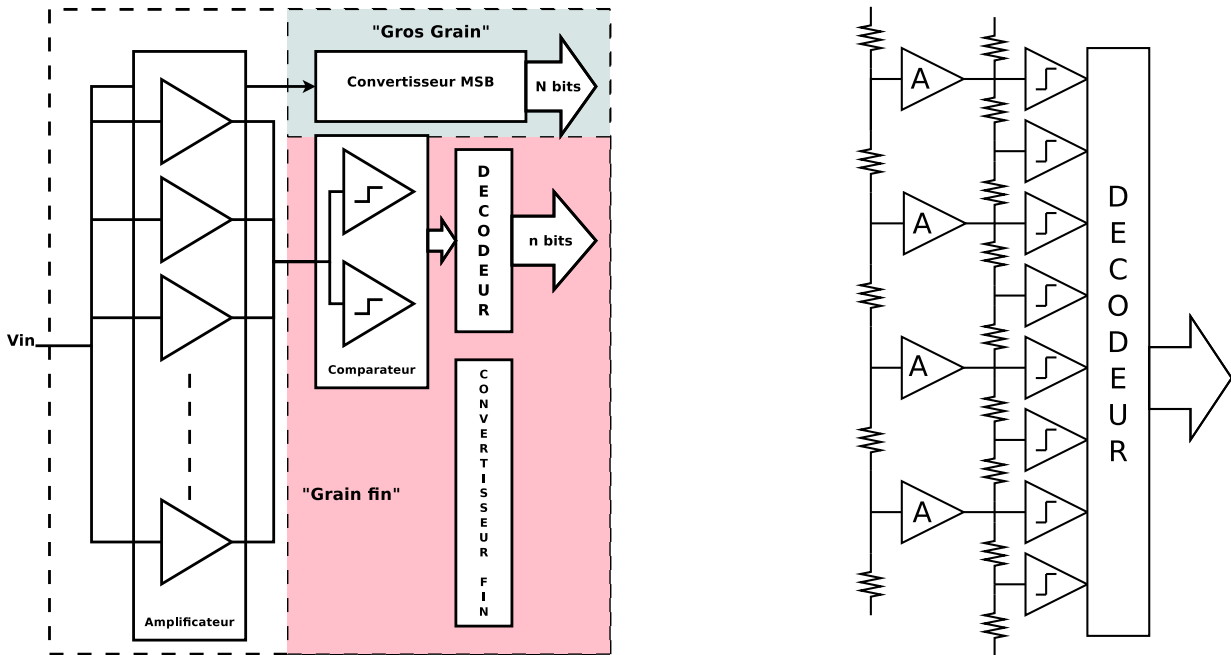


FIGURE 2.11 – CAN flash plié à gauche, CAN flash interpolé à droite

2.5 Choix de l'architecture du convertisseur

La réalisation d'un CAN demande beaucoup de temps et de travail de simulation. Nous avons choisi d'étudier l'architecture parallèle (CAN flash) et de valider le concept du circuit. Notre principal objectif est de concevoir un CAN simple à haute vitesse de conversion. Le CAN flash est le seul convertisseur capable d'atteindre une fréquence d'échantillonnage très élevée. L'inconvénient de ce type de convertisseur reste la consommation associée à une dynamique relativement faible (6 bits). Cette barrière pourra cependant être franchie en faisant un saut technologique en utilisant du BiCMOS 130 nm ou du CMOS 45 nm sur SOI par exemple. Cependant, ces technologies demeurent très coûteuse à l'heure actuelle pour du prototypage.

Dans cette perspective, l'étude s'est orientée sur la conception de CAN 6 bits. La suite de cette thèse traite l'étude, la réalisation et la conception de 2 CAN en technologie $0,25\ \mu m$.

La première étude permet de valider et d'étudier le concept des CAN flash très rapides avec des transistors MOS. Ce premier CAN fonctionne à une fréquence d'échantillonnage de 1 GS/s. Ce premier circuit permet d'aborder les problèmes lors de la conception de circuits mixtes (analogique et numérique).

La seconde étude est réalisée avec des transistors bipolaires et permet d'atteindre une fréquence d'échantillonnage de 3 GS/s. Ce circuit permet de numériser la bande passante de 100 - 1500 MHz et de répondre aux attentes du cahier des charges. Toutefois, la consommation reste importante et fera l'objet d'études ultérieures.

Deuxième partie

Etude et réalisation d'un CAN flash à
1 Giga échantillons par seconde en
transistors MOS 0,25 μm

Introduction

Dans le chapitre précédent, nous avons retenu une architecture parallèle (CAN flash) concernant le CAN. Cette dernière est en effet la seule architecture à pouvoir satisfaire nos attentes du point de vue de la rapidité. Nous avons donc effectué une étude bibliographique des CAN et proposé des améliorations. Le choix s'est naturellement porté sur la conception d'un CAN 6 bits pour une raison de consommation, de surface, de coût, et de rapidité.

L'objectif de ce premier circuit est de valider les différents blocs qui composent un CAN et de cibler les paramètres sensibles du composant. Grâce à la bibliothèque Qubic4X, nous avons eu le choix entre l'utilisation de transistors CMOS $0,25\ \mu m$ Silicium et des transistors bipolaires NPN $0,25\ \mu m$ Silicium Germanium Carbone. Mise à part l'E/B, nous avons opté pour l'utilisation complète de transistors CMOS pour les différentes fonctions. En effet, les portes logiques en CMOS existent dans cette bibliothèque, ce qui facilite l'étude, l'objectif étant de valider une méthode. A cause de la finesse de gravure de ces transistors CMOS de $0,25\ \mu m$, la fréquence d'horloge du circuit a été fixée à 1 GS/s au maximum.

Notre travail, concernant ce premier circuit, est divisé en 3 chapitres : l'étude et la simulation, la conception du masque du CAN et enfin le test du circuit.

Dans le premier chapitre, nous décrirons les recherches sur les différents blocs constituant le CAN. Une étude plus approfondie de l'échantillonneur-bloqueur (E/B) est effectuée, l'étage E/B est réalisé avec des transistors CMOS ainsi que des transistors bipolaires NPN. En effet, pour une fréquence d'horloge de 1 GS/s et donc une bande de fréquence analogique d'entrée comprise entre 100 MHz et 500 MHz, le gain des transistors CMOS chute en fonction de la fréquence. Par conséquent, il est difficile d'avoir une très bonne linéarité à la fréquence de 500 MHz avec l'usage des CMOS. Pour y remédier, des transistors bipolaires NPN de fréquence de transition bien plus élevée que les CMOS ont été choisis pour la partie amplificatrice de l'E/B. L'étude du comparateur (l'échelle de résistances) fait l'objet de diverses précautions (taille des transistors et performances en fonction des variations du process et du mésappariement : analyse Monte-Carlo). La partie numérique utilise une correction de bulle ainsi qu'une ROM (étudiée et conçue avec les portes logiques de la bibliothèque). Nous étudierons quelques éléments complémentaires en vue de tests ultérieurs.

Enfin, des simulations globales permettent de caractériser les performances de ce CAN.

Le deuxième chapitre établit des règles de conceptions et de dessin du masque d'un circuit sur le substrat Silicium avec la technologie Qubic4X. De plus, nous proposerons des solutions pour minimiser les différents parasites dus à la liaison des différents blocs. En effet, ces parasites peuvent diminuer les performances d'un circuit, en particulier celles d'un CAN.

Le dernier chapitre présente le banc de test et les résultats de mesures obtenus. Il fait référence aux problèmes rencontrés lors des tests.

Enfin, une conclusion sur cette première étude et une proposition d'améliorations possibles achèvera cette deuxième partie.

Les spécifications ciblées pour ce premier CAN sont résumées dans le tableau 2.3.

TABLE 2.3 – Spécifications ciblées pour le CAN

Tension d'alimentation (V)	2.5
Fréquence d'échantillonnage (GS/s)	1
Consommation (W)	< 2
Résolution (bits)	6
ERBW (MHz)	> 400
SNDR (dB)	> 36
SFDR (dB)	> 40
DNL (LSB)	0,5
INL (LSB)	0,5
Plage dynamique de l'entrée (V)	1
V_{LSB} (mV)	16

Chapitre 3

Simulation et réalisation

3.1 L'Echantillonneur Bloqueur

3.1.1 Définition d'un échantillonneur-bloqueur

En électronique, un échantillonneur-bloqueur (E/B) est utilisé pour transformer les signaux analogiques en une série de tensions continues pour alimenter un système en aval (exemple : CAN). Le but de ce circuit est de bloquer la valeur analogique pendant un laps de temps pour permettre au convertisseur ou au système suivant d'effectuer une opération durant ce laps de temps. (figure 3.1).

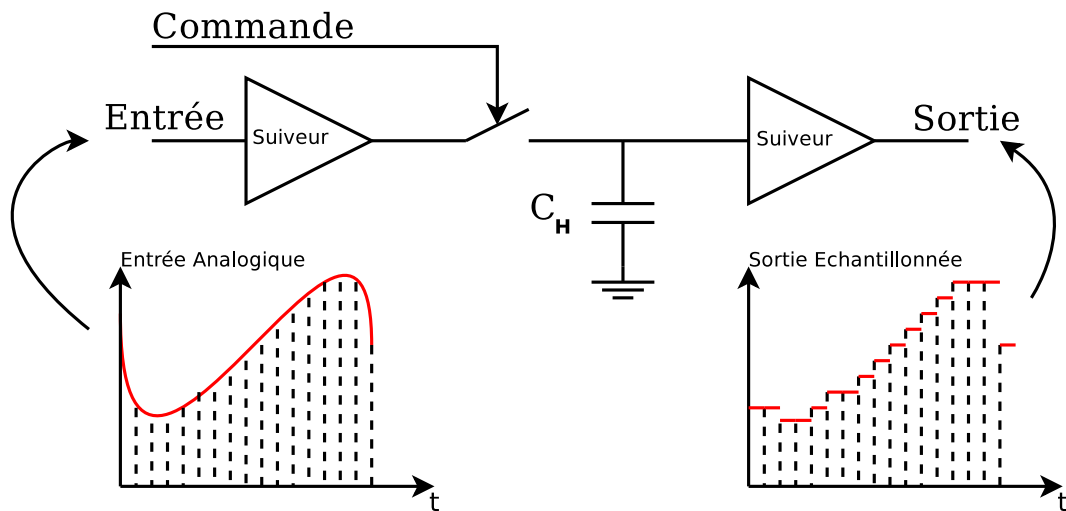


FIGURE 3.1 – Schéma de principe d'un échantillonneur-bloqueur en boucle ouverte

Dans la plupart des circuits, une capacité est utilisée pour stocker la tension analogique. On utilise un interrupteur électronique pour alternativement connecter et déconnecter la capacité C_H de l'entrée analogique. La vitesse à laquelle ce commutateur opère est le taux d'échantillonnage du système.

3.1. L'ECHANTILLONNEUR BLOQUEUR

Dans un E/B, le commutateur se ferme selon une durée pour effectuer la prise d'échantillon. Il s'ouvre pour bloquer cette valeur à un état stable. Un tel circuit est donc nécessaire lorsqu'un système devient extrêmement rapide. Dans les CAN de type Flash, l'entrée analogique est comparée à des valeurs de tensions générées par le CAN. Le circuit tente une comparaison durant la période impartie et arrête la conversion une fois que les tensions sont « identiques » dans une certaine marge d'erreur définie. Si la valeur d'entrée change au cours de ce processus de comparaison, la conversion résultante serait inexacte et pourrait être complètement étrangère à la vraie valeur d'entrée.

Les E/B sont souvent utilisés quand plusieurs échantillons doivent être mesurés en même temps. Chaque valeur est échantillonnée et maintenue en utilisant une horloge d'échantillonnage commune. Les valeurs peuvent ensuite être lues de manière valide. En bloquant la valeur, on permet ainsi une synchronisation pour analyser le signal.

Pour que la tension à l'entrée de l'E/B soit maintenue constante à sa sortie, il est essentiel que certains paramètres soient bien étalonnés comme par exemple la valeur de la capacité (fuite très faible). En effet, il faut que les impédances de charge et de décharge de cette dernière soit proportionnées afin de fonctionner correctement (dans la gamme de fréquence voulue).

3.1.2 L'échantillonneur-bloqueur

L'échantillonneur-bloqueur (E/B) réalisé dans cette étude est effectué en boucle ouverte (ou chargé à sa sortie sur une impédance très élevée et à son entrée par une impédance très faible) [28]. Cela permet une conception plus simple en atteignant une fréquence d'échantillonnage élevée. En effet, les E/B en boucle fermée ont une très bonne résolution grâce à la contre-réaction. Cependant, leur vitesse d'opération peut être dégradée [29]. La figure 3.2 montre la différence d'architecture entre les 2 topologies.

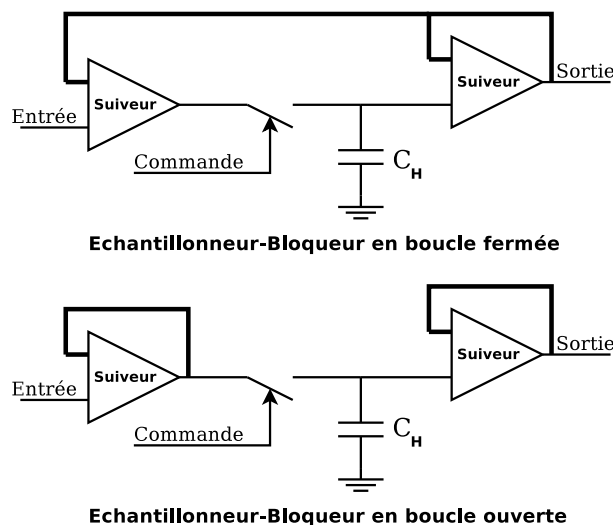


FIGURE 3.2 – Schéma de l'échantillonneur-bloqueur en boucle ouverte et en boucle fermée

3.1. L'ECHANTILLONNEUR BLOQUEUR

L'E/B en boucle ouverte permet d'avoir une résolution supérieure à celle d'un CAN 6 bits. Le schéma d'un E/B en technologie MOS est présenté en figure 3.3.

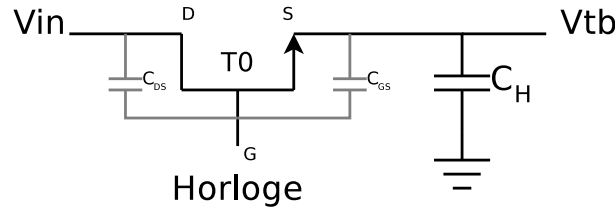


FIGURE 3.3 – Echantillonneur-bloqueur idéale en technologie MOS

Dans le cas idéal de la réalisation d'un E/B en boucle ouverte, l'utilisation d'un transistor NMOS en cascade avec une capacité à la masse est courante. Le transistor NMOS joue le rôle d'interrupteur commandé en tension et la capacité permet le maintien de la tension analogique d'entrée.

Dans la plupart des cas, il y a 2 phases de fonctionnement, la première est le chargement de la capacité pendant un temps donné et la seconde est le maintien de la tension pendant le reste du temps. Dans le cas idéal, la capacité est sur une impédance de charge infinie, ce qui n'induit aucune perte de donnée comme le montre la figure 3.4.

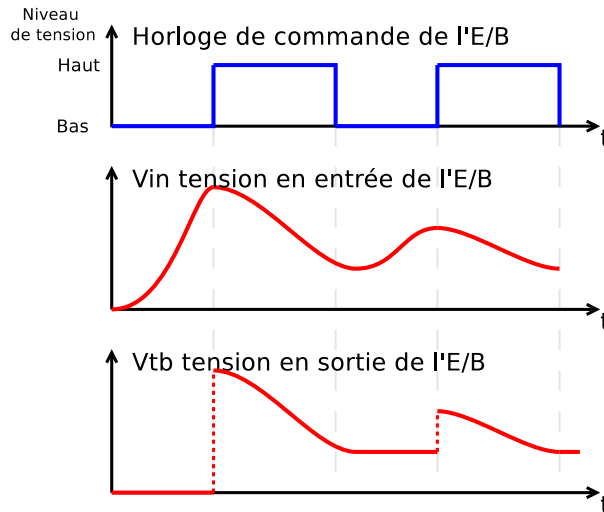


FIGURE 3.4 – Résultat temporel du E/B avec impédance de charge infinie

Cependant, les éléments parasites des composants utilisés nuisent fortement au bon fonctionnement dans la gamme de fréquence utile. Les paramètres des éléments peuvent être quantifiés [30]. Lors du passage de l'état de suivi à l'état bloqué, des éléments parasites peuvent perturber la valeur de blocage. Ces éléments engendrent une erreur non négligeable qu'il faut réduire par des éléments complémentaires qui font partie de l'optimisation du circuit. Au moment du blocage, plusieurs effets apparaissent.

3.1. L'ECHANTILLONNEUR BLOQUEUR

D'une part, le temps d'établissement de l'information souhaitée varie selon la valeur de la capacité et le dimensionnement du transistor (settling time). D'autre part, la variation de l'information durant le blocage (droop rate¹) exprimée par exemple en mV/ms et l'apparition de tensions parasites venant de l'entrée (feedthrough²) caractérisées par une isolation exprimée en dB. La figure 3.5 met en évidence ces erreurs. Lors du passage de l'état de bloqué à l'état suivi, la vitesse de transition (slew rate) est importante car elle définit la bande passante maximum de l'E/B à une fréquence d'horloge donnée.

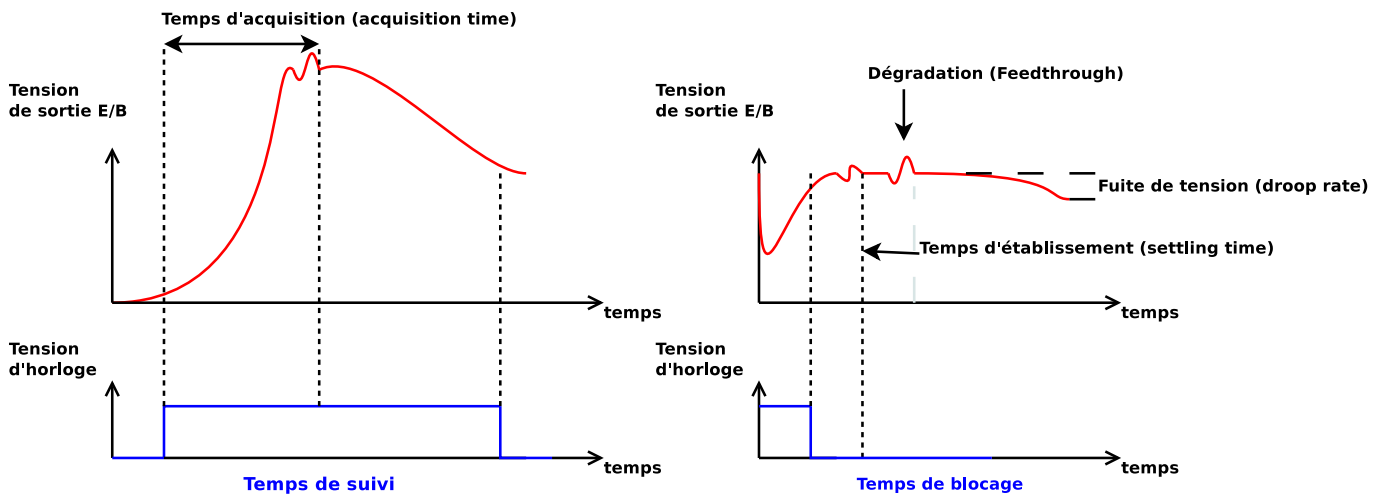


FIGURE 3.5 – Source d'erreurs en mode suivi et en mode bloquée

3.1.3 Les spécifications ciblées pour l'E/B

L'E/B doit opérer à un taux d'échantillonnage supérieur à 1 GS/s avec une consommation la plus faible possible. L'E/B doit avoir une résolution supérieure au convertisseur. Il doit être en mesure de fournir un gain permettant d'utiliser toute la plage de fonctionnement du CAN en préservant une adaptation en entrée différentielle sur 100 Ω . De plus, la plus faible impédance de sortie est requise pour une adaptation optimale avec le CAN. Le tableau 3.1 donne le détails des spécifications ciblées.

1. Le droop rate est la perte constante de charge durant la phase bloquée.
2. Quantité de charge supplémentaire au passage de l'état passant à l'état bloqué.

3.1. L'ECHANTILLONNEUR BLOQUEUR

TABLE 3.1 – Spécifications ciblées pour l'échantillonneur-bloqueur

Tension d'alimentation (V)	2,5
Fréquence d'échantillonnage (GS/s)	$> 1,0$
Consommation (W)	0,5
Résolution (bits)	> 6
SNDR (dB)	> 36
SFDR (dB)	> 40
Plage dynamique de l'entrée (V)	$< 0,2$
Plage dynamique de sortie (V)	1

3.1.4 Echantillonneur-bloqueur développé

L'E/B utilise un NMOS et une capacité comme le montre la figure 3.3. Cependant, il faut atténuer les erreurs dont une partie est causée par des injections de charges. Les injections de charges sont dues à des pics de courant provenant des capacités parasites des transistors au moment de l'ouverture ou la fermeture de l'interrupteur (NMOS). L'une des méthodes pour diminuer ces injections de charge est de rajouter des transistors « fantômes » permettant de compenser la capacité parasite C_{GS} qui se charge durant la phase de suivi. Le terme « fantôme » est utilisé pour désigner l'absence d'influence des transistors sur le comportement RF (mode suivi), mais seulement en mode bloqué.

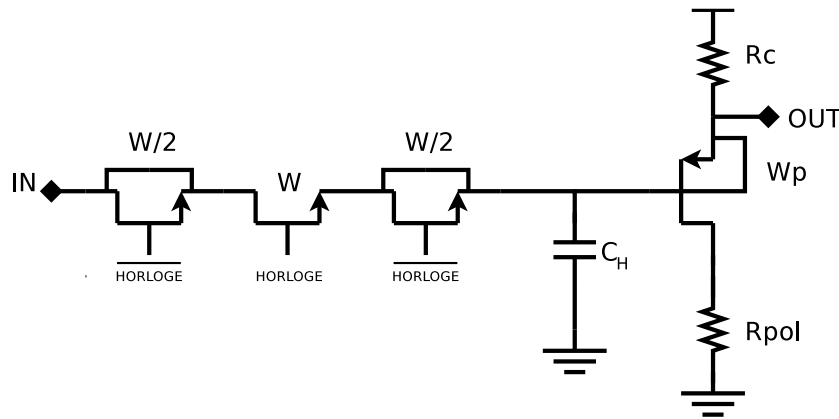


FIGURE 3.6 – Echantillonneur Bloqueur en NMOS

Le layout d'un transistor NMOS est généralement dessiné de manière symétrique, les capacités C_{GS} , C_{GD} sont donc équivalentes. Des transistors en court-circuit appelés fantômes sont ajoutés afin d'annihiler les injections de part et d'autre du transistor. Placés ainsi, les trois transistors en série jouent le rôle d'un interrupteur commandé en tension. La figure 3.6 illustre le schéma utilisé. Le transistor PMOS permet de monter la polarisation. Il est monté en suiveur comme le montre [31] [28].

L'un des problèmes récurrent est donc l'injection de charge lors du passage de l'état ouvert à l'état bloqué du transistor. L'erreur de la différence obtenue entre la tension souhaitée et la tension

3.1. L'ECHANTILLONNEUR BLOQUEUR

réelle se nomme le piédestal (figure 3.7).

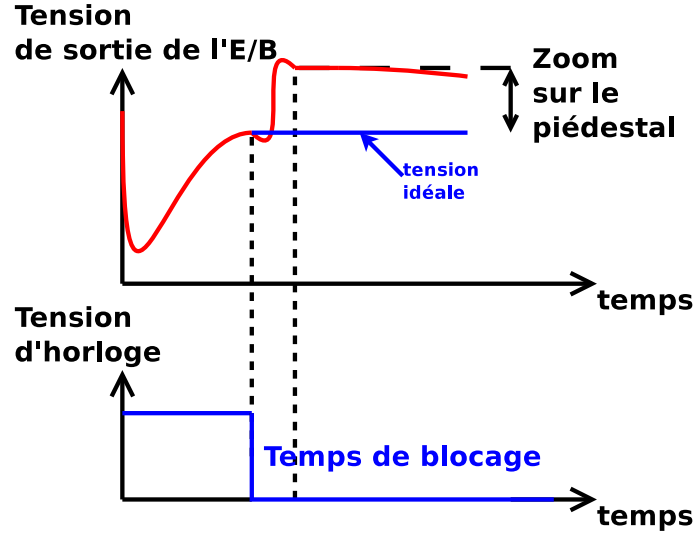


FIGURE 3.7 – Le piédestal

Lorsque l'horloge est au niveau haut, le transistor W peut être assimilé à une résistance R_p correspondante à :

$$R_p = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W_W}{L_W} |V_{GS} - V_T|} \quad (3.1)$$

où W_W et L_W sont respectivement la largeur et la longueur du transistor W. C_{ox} est la capacité de grille par unité de surface, μ est la constante de mobilité des électrons dans le silicium. V_T est la tension de seuil.

On peut en déduire la constante de charge « RC » dans la phase de suivi, et obtenir la bande passante :

$$F_{BP} = \frac{1}{2 \cdot \pi \cdot R_p \cdot C_H} \quad (3.2)$$

où C_H correspond à la capacité de charge.

Cette topologie ne permet pas d'avoir un gain plat dans toute la bande de fréquence désirée (figure 3.8), une chute de gain apparaît dans les hautes fréquences. Pour compenser cette chute de gain un amplificateur à contre-réaction négative est placé en amont du circuit qui aura pour but de compenser la perte de gain et d'adapter l'entrée en puissance. Nos attentes sont de créer un gain positif et réaliser une très bonne adaptation.

3.1. L'ECHANTILLONNEUR BLOQUEUR

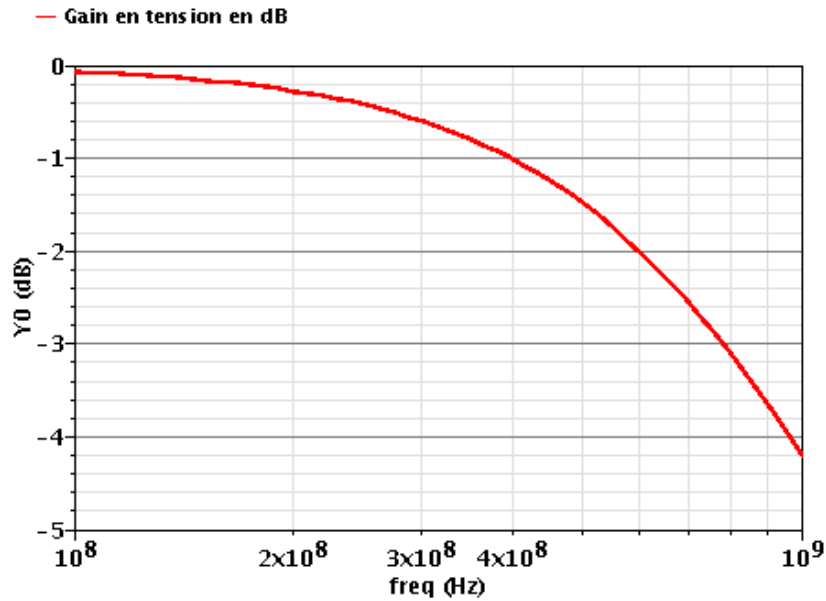


FIGURE 3.8 – Gain de l'échantillonneur bloqueur

3.1.5 Topologie entière de l'E/B

Dans le cadre de la conception d'un CAN, l'E/B est le lien du circuit avec le monde analogique en amont. Il est donc souhaitable que l'entrée soit adaptée. Dans notre cas, elle sera adaptée en puissance sur 100Ω différentielle.

De plus, il nous faut une plage de tension en sortie de l'E/B de $1 V_{pp}$ pour utiliser le CAN correctement, ce qui représente une valeur assez élevée si nous voulons une très bonne linéarité de l'E/B en mode suivi. Cette plage élevée garantit une bonne détection au niveau des comparateurs. Dans cette perspective, un amplificateur en entrée permet d'effectuer l'adaptation en puissance et l'amplification du signal pour obtenir les spécifications souhaitées. Nous avons considéré une puissance disponible à l'entrée de -8 dBm au maximum.

Pour obtenir la tension de sortie souhaitée, nous avons utilisé une alimentation sous 5 Volts. Cette tension d'alimentation peut paraître excessive mais elle est nécessaire pour avoir une tension de sortie de $1 V_{pp}$ en étant très linéaire (SFDR du mode suivi > 40 dB). En sortie de l'E/B, une topologie en mode suiveur permet d'avoir une faible impédance de sortie (Drain commun ou un collecteur commun selon un transistor NMOS ou NPN, cependant il reste la contrainte de la consommation car la partie réelle de l'impédance de sortie est inversement proportionnelle à la consommation électrique). La figure 3.9 récapitule le circuit.

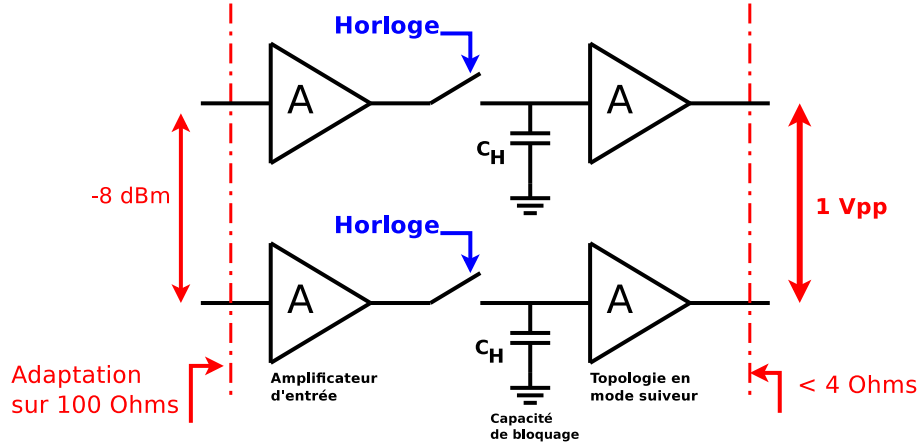


FIGURE 3.9 – Topologie E/B Boucle sans contre réaction

3.1.6 Amplificateur à contre réaction

Les transistors NPN ont une fréquence de transition plus élevée que les transistors NMOS (NMOS $F_t = 60$ GHz, NPN $F_t = 130$ GHz). Par conséquent, pour avoir une tension de sortie élevée sans chute de gain dans notre bande de fréquence, l'utilisation des transistors NPN a été préférée. De plus, les topologies à transistors NPN ont été étudiées dans le laboratoire où nous travaillons, ce qui facilite leur utilisation [32].

Une topologie à contre-réaction négative est présentée sur la figure 3.10. Cette topologie est très utilisée dans la réalisation des LNA car le gain est moins sensible aux variations du process (polarisation en courant, ou « autopolarisation » en tension). Aussi, les différents paramètres S sont contrôlables grâce aux différents charges qui viennent se greffer autour. La figure 3.10, C1 et C3 sont des capacités de liaison et n'interviennent pas sur les performances, elles servent à bloquer les tensions continues (DC). La contre réaction est réalisée par une résistance R_b qui reboucle l'émetteur du second transistor sur la base du premier. Ce type de contre réaction s'appelle « parallèle-série ».

A partir du schéma électrique ci-dessus, nous pouvons déduire le schéma « petits signaux » figure 3.11 qui nous permettra de déterminer le gain en tension disponible à une charge d'impédance Z_{ch} .

Calcul du gain en tension disponible

On a :

$$\begin{aligned} V_2 &= -(R_{C2} // R_m // Z_{ch}) \cdot G_{m2} \cdot V_{i2} \\ V_{i2} &= -(R_{C1} // Z_{i2}) \cdot G_{m1} \cdot V_{i1} \\ V_{i1} &= V_1 \end{aligned} \tag{3.3}$$

3.1. L'ECHANTILLONNEUR BLOQUEUR

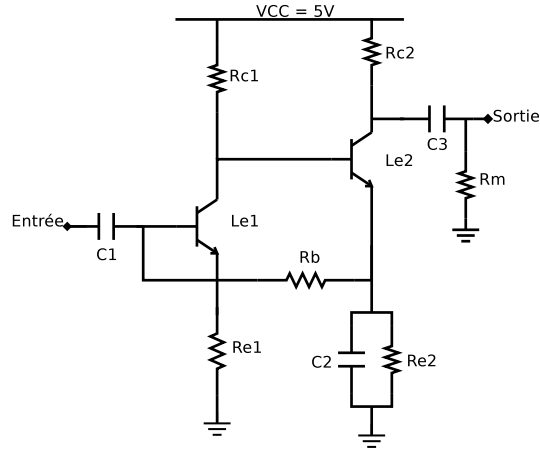


FIGURE 3.10 – Topologie d'amplificateur avec des transistors NPN

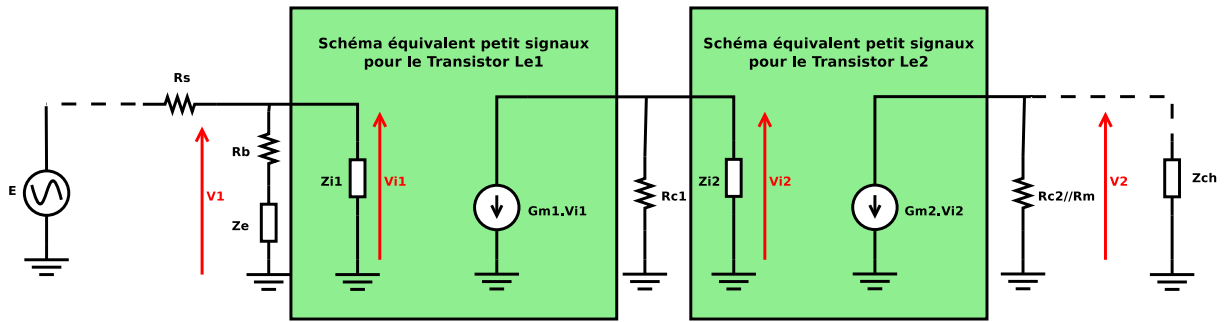


FIGURE 3.11 – Schéma équivalent « petits signaux » pour le calcul du gain en tension

$$A_V = \frac{V_2}{V_1} = G_{m1} \cdot G_{m2} \cdot (R_{C2} // R_m // Z_{ch}) \cdot (R_{C1} // Z_{i2}) \quad (3.4)$$

Calcul du gain en tension disponible A_{vf}

$$\begin{aligned} A_V &= \frac{V_2}{V_1} \\ A_{vf} &= \frac{V_2}{E} \\ V_e &= \frac{1}{2} E \end{aligned} \quad (3.5)$$

3.1. L'ECHANTILLONNEUR BLOQUEUR

Lorsque que l'entrée est adaptée en puissance, $Z_{in} = R_s$, le gain en tension disponible devient :

$$A_{Vf} = \frac{1}{2} \cdot A_V = \frac{1}{2} \cdot G_{m1} \cdot G_{m2} \cdot (R_{C2} // R_{CH} // R_0) \cdot (R_{C1} // Z_{i2}) \quad (3.6)$$

3.1.7 Rappel sur les paramètres S (Scattering parameters)

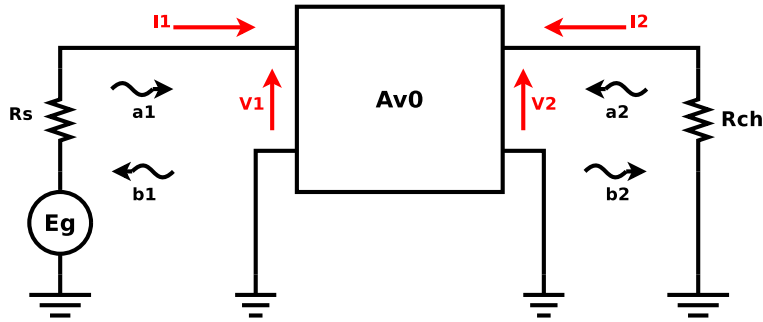


FIGURE 3.12 – Représentation d'un quadripôle

Pour étudier le comportement en puissance, il est commun d'utiliser les paramètres S dans le domaine de la radio fréquence. Un quadripôle (figure 3.12) peut être décrit par une matrice S de la manière suivante :

$$\begin{aligned} b_1 &= S_{11} \cdot a_1 + S_{12} \cdot a_2 \\ b_2 &= S_{21} \cdot a_1 + S_{22} \cdot a_2 \end{aligned} \quad (3.7)$$

Les ondes de puissances ont les expressions suivantes :

$$\begin{aligned} a_1 &= \frac{V1 + Z_c \cdot I1}{2 \cdot \sqrt{\Re(Z_c)}} \\ b_1 &= \frac{V1 - Z_c^* \cdot I1}{2 \cdot \sqrt{\Re(Z_c)}} \\ a_2 &= \frac{V2 + Z_c \cdot I2}{2 \cdot \sqrt{\Re(Z_c)}} \\ b_2 &= \frac{V2 - Z_c^* \cdot I2}{2 \cdot \sqrt{\Re(Z_c)}} \end{aligned} \quad (3.8)$$

avec Z_c l'impédance caractéristique des lignes de transmission.

3.1. L'ECHANTILLONNEUR BLOQUEUR

avec :

- S_{11} coefficient de réflexion en entrée du quadripôle.
- S_{12} coefficient de transmission de la sortie vers l'entrée.
- S_{21} coefficient de transmission de l'entrée vers la sortie.
- S_{22} coefficient de réflexion en sortie du quadripôle.
- a_1 et b_1 représentent les ondes de puissances d'entrée respectivement incidente et réfléchie.
- a_2 et b_2 représentent les ondes de puissance de sortie respectivement réfléchie et incidente.

Pour un quadripôle donné, les ondes de puissances s'écrivent en fonction des tensions et des courants d'entrée et de sortie normalisés par rapport à leurs impédances respectives de source ou de charge.

Lorsque l'impédance de source et l'impédance de charge sont à partie imaginaire nulle, respectivement R_s et R_{ch} , on écrit les paramètres S en fonction des tensions et courants de la manière suivante :

$$\begin{aligned}
 S_{11} &= \frac{\frac{V_1}{\sqrt{R_s}} - \sqrt{R_s} \cdot I_1}{\frac{V_1}{\sqrt{R_s}} + \sqrt{R_s} \cdot I_1} = \frac{V_1 - R_s \cdot I_1}{V_1 + R_s \cdot I_1} \\
 S_{12} &= \frac{\frac{V_1}{\sqrt{R_s}} - \sqrt{R_s} \cdot I_1}{\frac{V_2}{\sqrt{R_{ch}}} - \sqrt{R_{ch}} \cdot I_2} = \frac{V_1 - R_s \cdot I_1}{V_2 + R_{ch} \cdot I_2} \cdot \sqrt{\frac{R_s}{R_{ch}}} \\
 S_{21} &= \frac{\frac{V_2}{\sqrt{R_{ch}}} - \sqrt{R_{ch}} \cdot I_2}{\frac{V_1}{\sqrt{R_s}} + \sqrt{R_s} \cdot I_1} = \frac{V_2 - R_{ch} \cdot I_2}{V_1 + R_s \cdot I_1} \cdot \sqrt{\frac{R_{ch}}{R_s}} \\
 S_{22} &= \frac{\frac{V_2}{\sqrt{R_{ch}}} - \sqrt{R_{ch}} \cdot I_2}{\frac{V_2}{\sqrt{R_{ch}}} + \sqrt{R_{ch}} \cdot I_2} = \frac{V_2 - R_{ch} \cdot I_2}{V_2 + R_{ch} \cdot I_2}
 \end{aligned} \tag{3.9}$$

Dans l'étude de l'E/B, les paramètres S_{21} et S_{11} permettent de déterminer respectivement le gain en puissance et les pertes d'insertions en entrée. S_{21} peut s'exprimer en fonction du gain en tension disponible, V_2/E_G .

$$\begin{aligned}
 S_{21} &= \frac{2 \cdot V_2}{E_G} \cdot \sqrt{\frac{R_s}{R_{ch}}} \\
 S_{11} &= \frac{(V_1 - R_s \cdot I_1)}{(V_1 + R_s \cdot I_1)}
 \end{aligned} \tag{3.10}$$

En figure 3.13, on fait apparaître de la même manière les accès des modes différentiels et communs.

3.1. L'ECHANTILLONNEUR BLOQUEUR

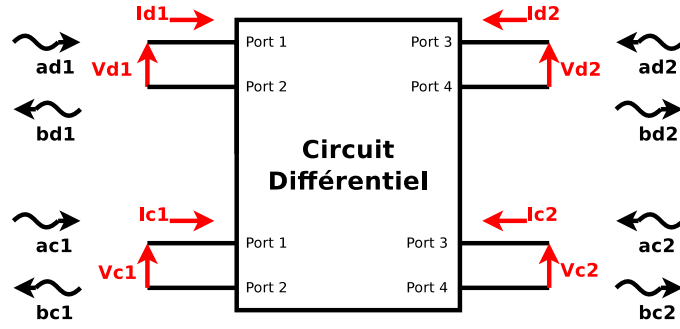


FIGURE 3.13 – Représentation d'un quadripôle avec les accès au port différentiel et mode commun

On peut définir de la même manière les ondes de puissance du mode différentiel et du mode commun :

- le mode différentiel :

$$\begin{aligned} a_{dn} &= \frac{Vd_n + Zd_n \cdot Id_n}{2 \cdot \sqrt{\Re(Zd_n)}} \\ b_{dn} &= \frac{Vd_n - Zd_n^* \cdot Id_n}{2 \cdot \sqrt{\Re(Zd_n)}} \end{aligned} \quad (3.11)$$

- le mode commun :

$$\begin{aligned} a_{cn} &= \frac{Vc_n + Zc_n \cdot Ic_n}{2 \cdot \sqrt{\Re(Zc_n)}} \\ b_{cn} &= \frac{Vc_n + Zc_n^* \cdot Ic_n}{2 \cdot \sqrt{\Re(Zc_n)}} \end{aligned} \quad (3.12)$$

Il est possible d'exprimer les paramètres $[S]$ en modes mixtes d'un circuit différentiel en fonction des paramètres $[S]$ d'un circuit non-différentiel. [33]

Les principales équations des paramètres $[S]$ en modes mixtes sont les suivants :

- le mode différentiel :

$$\begin{aligned} Sdd_{11} &= \frac{1}{2}(S_{11} - S_{12} - S_{21} + S_{22}) \\ Sdd_{21} &= \frac{1}{2}(S_{31} - S_{41} - S_{32} + S_{42}) \\ Sdd_{12} &= \frac{1}{2}(S_{13} - S_{23} - S_{14} + S_{24}) \\ Sdd_{22} &= \frac{1}{2}(S_{33} - S_{43} - S_{34} + S_{44}) \end{aligned} \quad (3.13)$$

3.1. L'ECHANTILLONNEUR BLOQUEUR

- le mode commun :

$$S_{cc21} = \frac{1}{2}(S_{31} + S_{41} + S_{32} + S_{42}) \quad (3.14)$$

Les paramètres les plus importants sont les paramètres S_{dd11} et S_{dd22} , ils représentent l'adaptation d'entrée et de sortie, le paramètre S_{dd21} représente le gain en puissance du mode différentiel, le paramètre S_{cc21} représente le gain en mode commun, il doit être le plus faible possible. Les paramètres S_{dcij} et S_{cdij} sont les paramètres du mode différentiel vers commun et inversement, ces paramètres doivent être quasi nuls. Le paramètre S_{dd12} doit être lui aussi, très faible car il correspond à la transmission de puissance de la sortie vers l'entrée.

3.1.8 Impédance de la sortie

Cet E/B va être directement relié à un CAN, c'est à dire 2^{N-1} comparateurs. Il faut donc une très faible impédance en sortie de l'E/B pour ne pas réaliser une mauvaise adaptation en tension. En effet, une mauvaise adaptation en tension entre l'E/B et le CAN peut diminuer les performances dynamiques. Chaque comparateur a une impédance d'entrée d'environ 1500Ω . On peut en déduire que l'impédance de sortie de notre E/B doit être la plus faible possible. La solution est de réaliser en aval un montage à collecteur commun pour avoir une faible impédance de sortie comme ci-dessous. Le montage à collecteur commun est assimilé à un suiveur à cause de son gain en tension unitaire. De plus, il offre un gain unitaire très large bande.

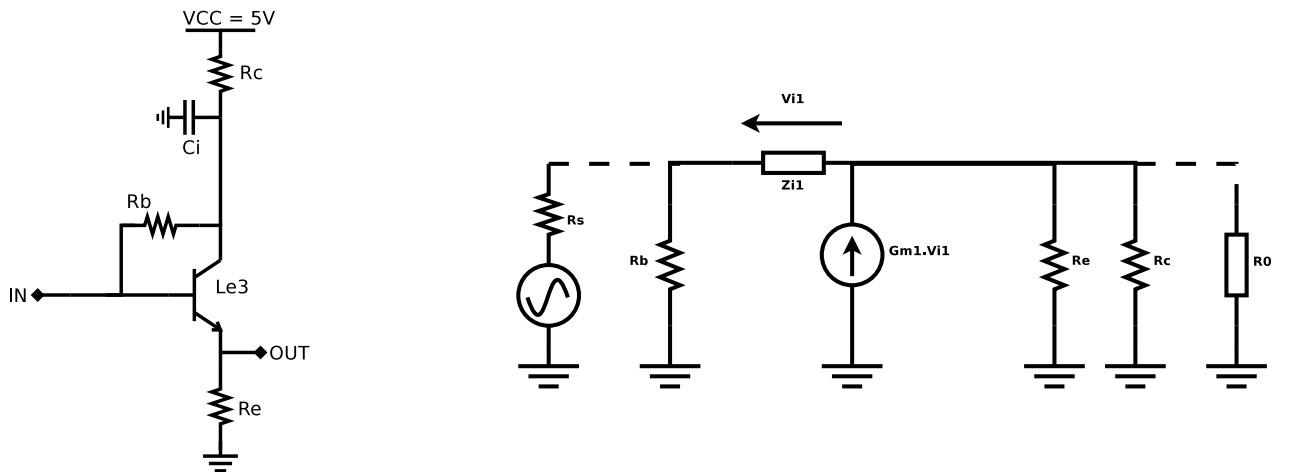


FIGURE 3.14 – A gauche la topologie collecteur commun utilisée, à droite, le schéma collecteur commun en « petits signaux »

Nous avons donc une impédance de sortie :

$$Z_S = \frac{1}{G_m} \quad (3.15)$$

3.1. L'ECHANTILLONNEUR BLOQUEUR

TABLE 3.2 – Résultats obtenus en simulation pour l'échantillonneur-bloqueur

Tension d'alimentation (V)	5
Amplificateur d'entrée et topologie de sortie	
Tension d'alimentation (V)	2,5
Echantillonneur-bloqueur (seul)	
Fréquence d'échantillonnage (GS/s)	1
Consommation (W)	1
ERBW (MHz)	500
SNDR minimum (dB)	32
SFDR (dB)	33
Puissance d'entrée (dBm)	-8
Adaptation d'entrée S_{11} (dB)	-12
Plage dynamique de sortie (V)	1
Tension DC en sortie (V)	1,5
Piédestal maximum (mV)	10
Droop rate (mV)	2

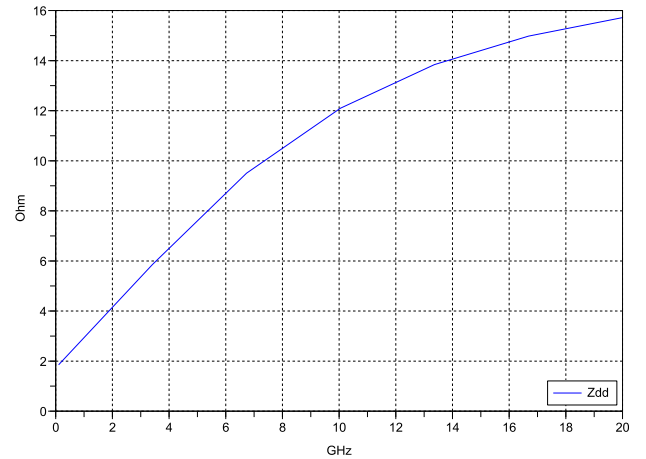
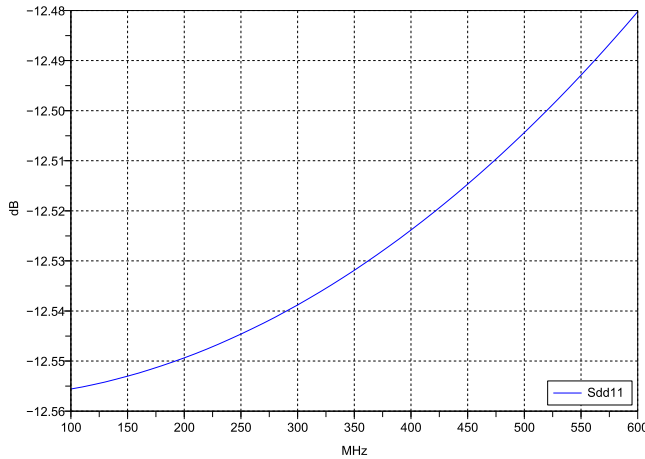


FIGURE 3.16 – A gauche, adaptation de l'entrée différentielle : Sdd_{11} . A droite, l'impédance de sortie de l'E/B

Le coefficient Sdd_{11} de réflexion d'entrée ainsi que l'impédance de sortie sont présentés sur la figure 3.16. Comme la montre cette dernière, le Sdd_{11} est inférieur à -12,5 dB, ce qui est une bonne adaptation en puissance réalisée dans notre bande de fréquence [100 MHz - 500 MHz] sur l'impédance de source différentielle de 100 Ω . Nous pouvons remarquer que Sdd_{11} reste identique dans cette bande de fréquence, ce qui peut être surprenant au premier abord, mais tout à fait logique par rapport à son gain présenté sur la figure 3.17, qui ne varie absolument pas.

3.1. L'ECHANTILLONNEUR BLOQUEUR

L'impédance de sortie est inférieure à $2\ \Omega$ dans la bande de fréquence. On peut remarquer que l'impédance de sortie varie très peu jusqu'à 20 GHz.

La figure 3.17 présente le gain total de la structure en mode suivi et le taux de réjection en mode commun (TRMC³). Le gain de la structure est supérieur à 10 dB dans la bande de fréquence. Le gain est optimisé pour être plat dans la bande de fréquence pour une homogénéité lors de l'utilisation dans le CAN. Le TRMC est approximativement égale à 10 dB dans notre bande de fréquence.

Le gain en mode commun est donc environ de 1 dB. Il n'y a donc pas d'amplification du mode commun, et ce dernier est réjété de 10 dB environ par rapport au mode différentiel.

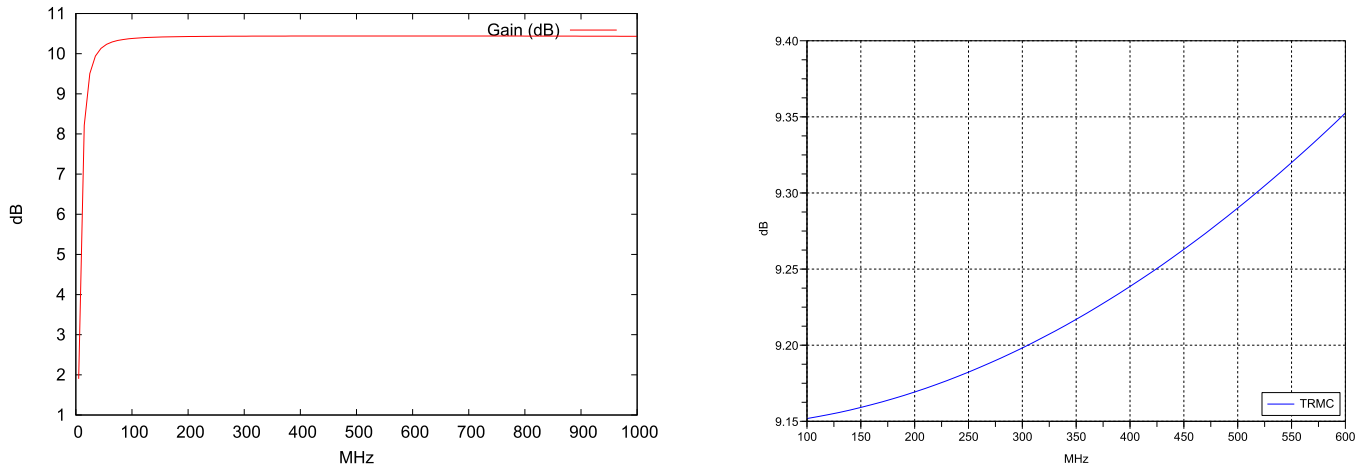


FIGURE 3.17 – A gauche, gain de la structure. A droite, le taux de réjection en mode commun

La figure 3.18 montre 4 simulations temporelles proches de la fréquence de Nyquist (490 MHz) pour visualiser les pertes lors du blocage. On remarque sur les sorties (figure 3.18(b)) que le piédestal est égal à 10 mV en pleine échelle, le droop rate est lui inférieur à 2 mV. Les figures 3.18(c) et 3.18(d) mettent en évidence le signal différentiel, la plage totale est $2 V_{pp}$ en différentiel. On s'aperçoit que les forts pics venant de l'horloge ne sont pas visible.

3. Le TRMC est une valeur numérique quantifiant la capacité d'un amplificateur différentiel à rejeter la tension commune de ses deux entrées. Elle est généralement exprimée en décibel.

3.1. L'ECHANTILLONNEUR BLOQUEUR

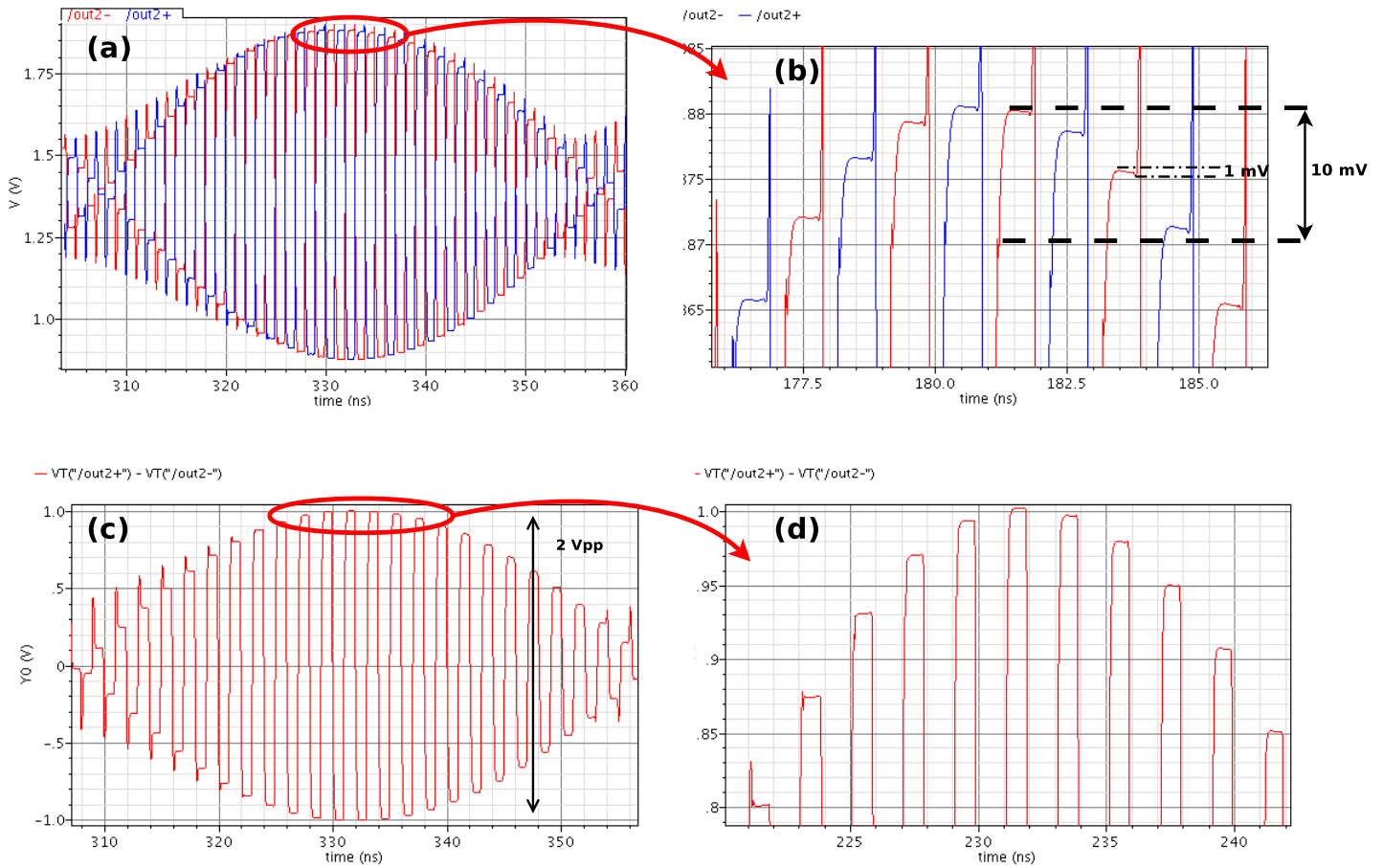


FIGURE 3.18 – Simulation temporelle pour une fréquence d'entrée de 490 MHz avec un balayage de tension pleine échelle en entrée : (a) sorties de l'E/B en temporel, (b) zoom sur quelques périodes des sorties non-différentielles, (c) sortie différentielle en temporel, (d) zoom sur quelques périodes de la simulation différentielle

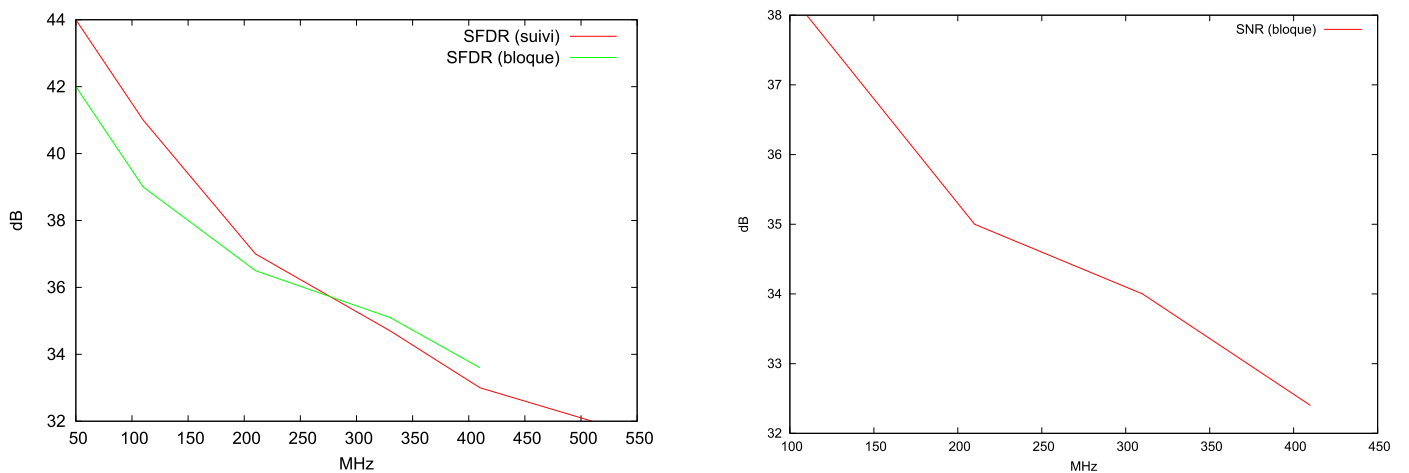


FIGURE 3.19 – A gauche le SFDR, à droite le SNR réalisé en simulation

3.1. L'ECHANTILLONNEUR BLOQUEUR

La figure 3.19 présente les courbes SFDR et SNR en dB, résultant de la simulation schématique de l'E/B en fonction de la fréquence d'entrée pour une fréquence d'échantillonnage de 1 GS/s.

Pour déterminer le SFDR (mode suivi), nous effectuons une analyse en harmonique balance avec en entrée une sinusoïde idéale afin de visualiser les différences entre l'harmonique du signal et les harmoniques créés par l'E/B. Le SFDR et SNR en mode bloqué sont calculés en récupérant les valeurs analogiques en temporel. Ensuite, une FFT est réalisée sur ces points pour obtenir le résultat.

Ces résultats de SFDR et SNR sont inférieurs à ceux spécifiés dans le tableau 3.1 pour une architecture de CAN 6 bits mais permettent de ne pas réduire les performances en début de bande, de 100 MHz à 200 MHz. Il est difficile d'apporter un fort gain (10 dB) en gardant une très forte linéarité en sortie.

3.2 Le comparateur

Par définition, le comparateur est un circuit permettant la comparaison entre 2 tensions analogiques. Il fournit en sortie le décodage de la différence en une seule tension numérique (figure 3.20). Le comparateur est l'élément le plus important et le plus critique dans la réalisation d'un CAN. Il dépend du type d'architecture utilisé, le comparateur peut avoir un très fort impact dans les performances. La vitesse et la résolution du CAN sont directement affectées par l'offset d'entrée des comparateurs, le délai et la plage d'entrée [34].

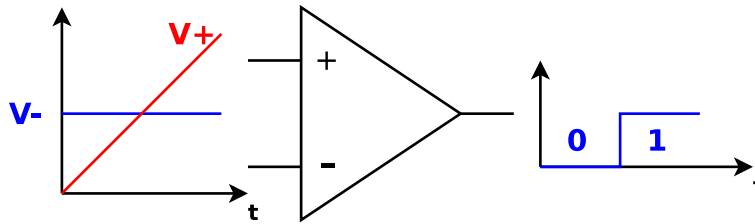


FIGURE 3.20 – Schéma de principe d'un comparateur

Dans la plupart des réalisations des comparateurs rapides de l'ordre du Giga Hertz [35] [36], le comparateur est scindé en 3 parties :

- le pré-amplificateur,
- le comparateur à verrouillage,
- la mise en forme.

Le pré-amplificateur et le comparateur à verrouillage feront l'objet d'une étude.

3.2.1 Le pré-amplificateur

Le pré-amplificateur est un circuit qui amplifie le signal. Il facilite l'opération des comparateurs en amplifiant l'entrée et la référence. Il est très souvent utilisé dans les comparateurs à verrouillage (latch comparator) pour éviter la propagation du bruit de rebond venant du comparateur vers l'E/B [37]. Le bruit de rebond est un résidu de signal à la fréquence de l'horloge.

Dans les paires différentielles, les mésappariements sont dus aux variations de procédés de technologies. Les valeurs de tension de seuil (V_T) et de transconductance (Gm) de chaque transistor de la paire évoluent indépendamment. [38] définit le mésappariement est déduit des distributions gaussiennes, les déviations standards sont données par les équations suivantes :

$$\sigma(\Delta V_t) = \frac{A_{V_t}}{\sqrt{W.L}} \quad (3.16)$$

3.2. LE COMPAREUR

$$\sigma\left(\frac{\Delta\beta}{\beta}\right) = \frac{A_\beta}{\sqrt{W.L}} \quad (3.17)$$

W et L sont respectivement la largeur et la longueur, A_{V_t} , A_β sont des paramètres dépendant du procédé.

La taille des transistors sont les seules paramètres ajustables. Ils permettent donc de baisser les déviations et de réduire les erreurs. Cependant il y a un compromis à faire entre consommation et précision. [39] démontre que la précision évolue au carré :

$$\frac{1}{Precision^2} \approx \frac{1}{C_{ox}.A_{VT}^2} \cdot \frac{Consommation}{Vitesse} \quad (3.18)$$

$C_{ox}.A_{V_t}$ sont des paramètres dépendant du procédé.

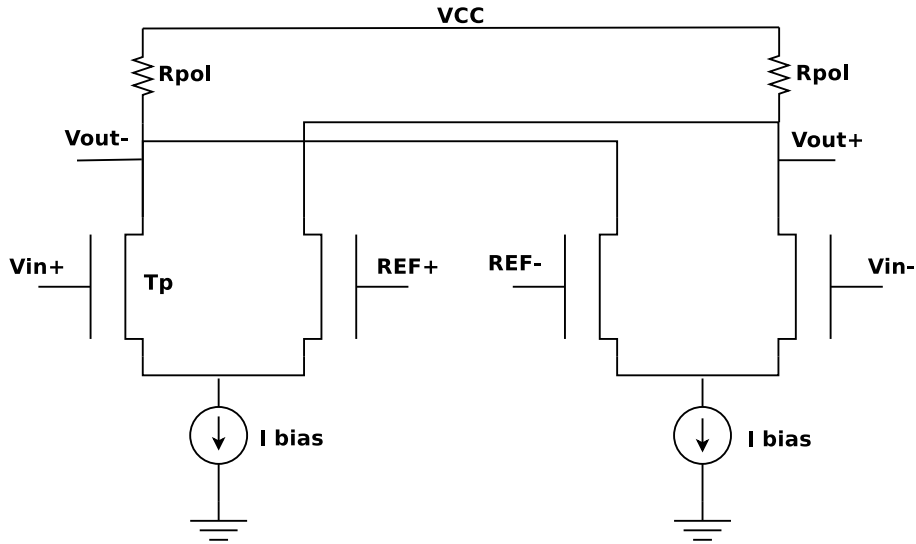


FIGURE 3.21 – Schéma électrique du pré-amplificateur

Le schéma du pré-amplificateur utilisé en figure 3.21 est différentiel. Le gain est défini de la même manière qu'une paire différentielle simple. Pour calculer le gain différentiel, on impose $V_{IN+} = -V_{IN-}$ et $V_{REF+} = -V_{REF-}$. Cependant, la transconductance est doublée en raison du raccordement croisé.

3.2. LE COMPARATEUR

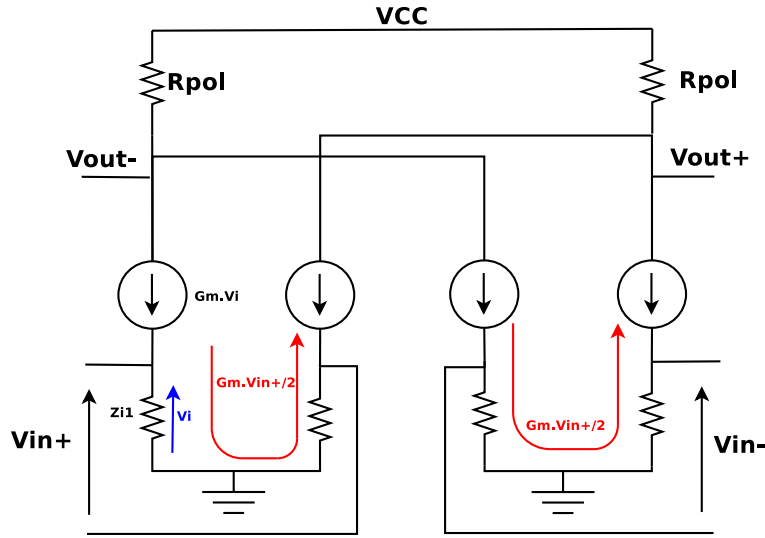


FIGURE 3.22 – Schéma équivalent petits signaux du pré-amplificateur

Le schéma petits signaux en figure 3.22 permet de calculer le gain en posant :

$$\begin{aligned}
 V_{IN+} &= V_{in+} + V_{dc_{in+}} = -V_{IN-} = -V_{in-} + V_{dc_{in-}} \\
 V_{in+} &= -V_{in-} \\
 V_{out+} &= 2.G_m \cdot \frac{V_{in+}}{2} \cdot R_{pol} \\
 V_{out-} &= -2.G_m \cdot \frac{V_{in+}}{2} \cdot R_{pol}
 \end{aligned} \tag{3.19}$$

Pour être exact, il faut calculer le gain dans les conditions de fonctionnement, c'est à dire en régime non-linéaire. Le calcul du gain se fait sur un régime établi « petits signaux » qui permet de simplifier les calculs pour étudier le gain.

Le gain en régime linéaire est donc :

$$Gain_{preamp} = \frac{V_{out+} - V_{out-}}{V_{in+}} = 2.G_m \cdot R_{pol} \tag{3.20}$$

La bande passante ($BP_{preamp-3dB}$) est donnée par :

$$(BP_{preamp-3dB}) = \frac{1}{2.\pi.R_{pol}.C_j} \tag{3.21}$$

où C_j représente la charge capacitive perçue par l'étage comparateur à verrouillage et les capacités parasites et d'interconnexion entre les transistors.

3.2. LE COMPAREUR

La plage de fonctionnement est déduite par $V_{GS} - V_T$ défini par le transistor [40] :

$$V_{GS} - V_T = \sqrt{\frac{2 \cdot I_d}{\mu \cdot C_{ox} \cdot \frac{W}{L}}} \quad (3.22)$$

μ et C_{ox} sont des paramètres dépendant du procédé et I_d le courant de drain du transistor.

Pour résumer, pour une tension V_{REF} et un courant I_d donnés, le gain dépend uniquement de la taille des transistors et de R_{pol} .

Les simulations se sont portées sur le compromis entre consommation électrique et la vitesse de fonctionnement (bande passante de l'entrée). En figure 3.23, le schéma du pré-amplificateur étudié, ainsi que les valeurs de ses composantes.

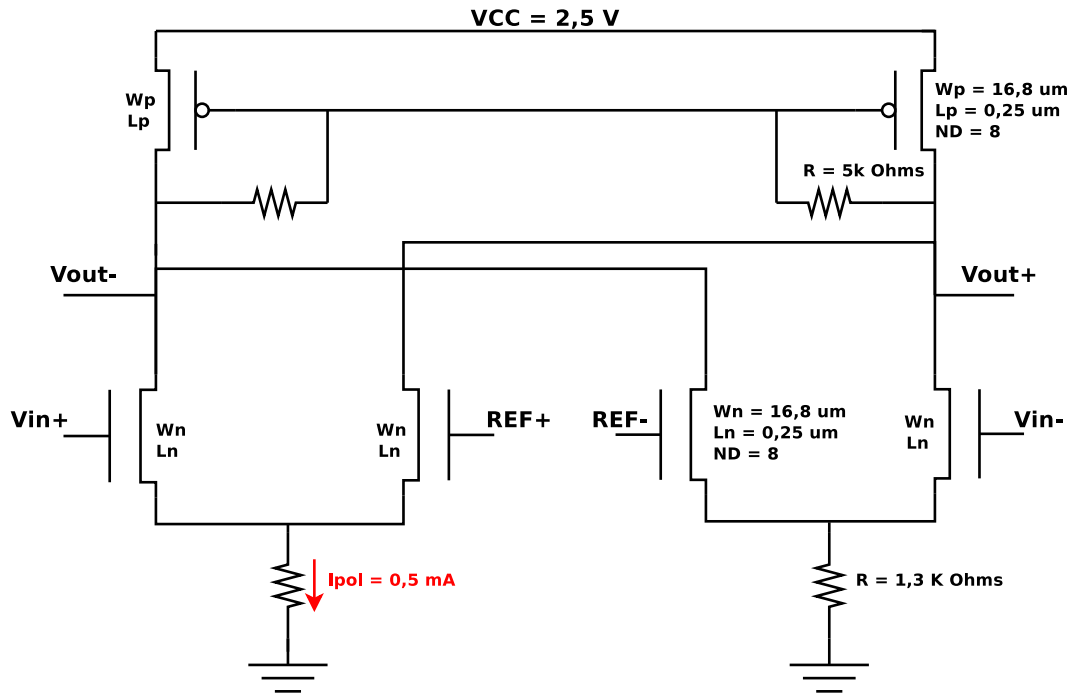


FIGURE 3.23 – Schéma électrique final du pré-amplificateur

Le gain alors obtenu en régime linéaire, selon les conditions précédentes, est donné sur la figure 3.24. Un récapitulatif des résultats obtenus est résumé dans le tableau 3.3.

Le gain du pré-amplificateur chute de 0,6 dB dans la bande de fréquence de fonctionnement. En effet, moins le gain chute en fonction de la fréquence, plus la fréquence de comparaison peut être élevée. Il joue le rôle de comparateur à faible gain car la vitesse de transition est primordiale.

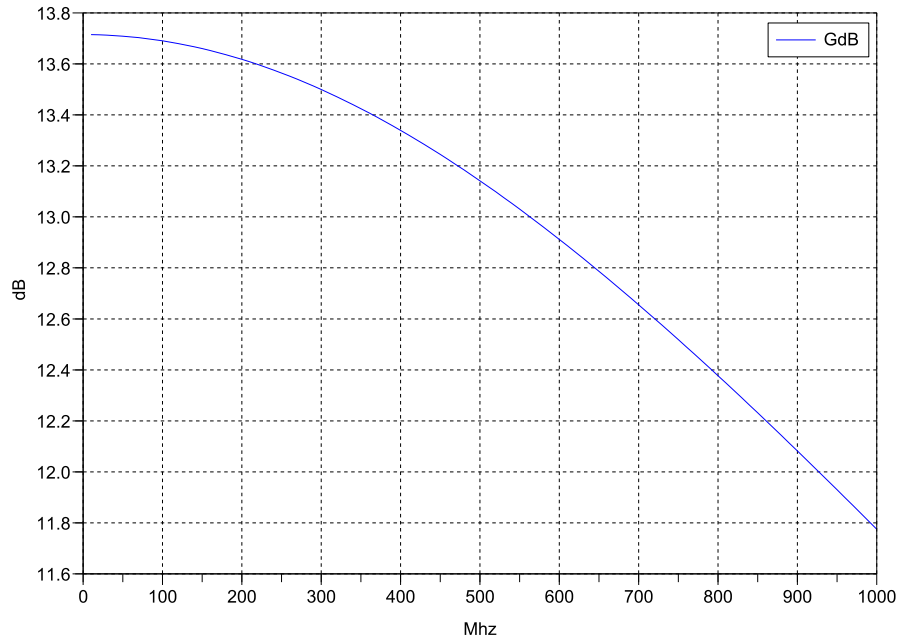


FIGURE 3.24 – Gain en régime linéaire du pré-amplificateur obtenu avec $V_{dc_{Ref+}} = V_{dc_{Ref-}}$, $I_d = 0,5mA$ $W = 2,1 \mu m$ et $L = 0,25 \mu m$ avec un nombre de doigts d'émetteur égal à 8

TABLE 3.3 – Résultats de simulation du pré-amplificateur

Tension d'alimentation	2.5
Fs (GS/s)	1
Puissance (mW)	2,5
Gain (dB)	>11
Bande Passante (MHz)	500

3.2.2 Le comparateur à verrouillage

Le comparateur à verrouillage en CMOS utilise comme bloc de base 2 inverseurs qui se retrouvent tête-bêche comme le montre la figure 3.25. Celui-ci se compose de 2 phases de fonctionnement commandées par une horloge :

- une phase d'initialisation à un état indéterminé
- une phase de prise de position

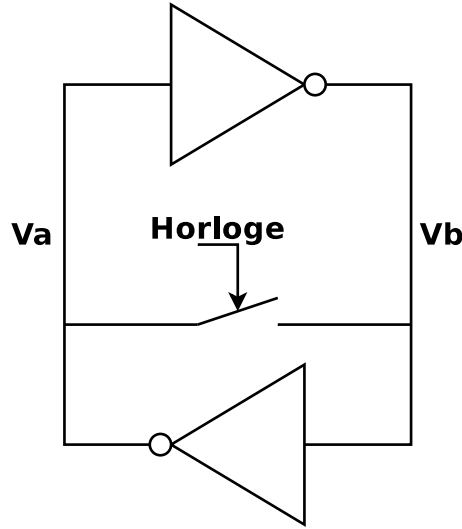


FIGURE 3.25 – Schéma simplifié de 2 inverseurs tête-bêche durant l'état bloqué

Durant la phase d'initialisation (l'horloge au niveau bas), les sorties V_a et V_b se retrouvent avec un niveau de tension correspondant à la moitié de la tension d'alimentation dans un état indéterminé entre le niveau haut et le niveau bas. Pendant la phase de prise de position (l'horloge au niveau haut), la tension du comparateur (latch) va dépendre de la tension fournie par le pré-amplificateur.

On peut déterminer la constante de temps de la seconde phase, au changement de l'horloge. Chaque inverseur peut être modélisé par une source de courant et un circuit de charge « RC » [41]. Le temps nécessaire pour avoir à 90 % le niveau logique en sortie est donné par :

$$T_{latch} = \frac{C_L}{G_m} \ln \left(\frac{\Delta V_{logic}}{\Delta V_0} \right) \quad (3.23)$$

C_L est la capacité grille-source, G_m est la transconductance de chaque inverseur. ΔV_{logic} est la différence de tension logique à obtenir à la fin de la phase de blocage. ΔV_0 est la différence de tension de sortie des inverseurs au début de la phase de blocage.

Sur la figure 3.26 est présenté le schéma du comparateur avec des transistors CMOS. Ce type de comparateur a été étudié par [42]. Il est composé de 2 étages d'amplification : Une paire différentielle (M1,M2) suivie d'inverseurs CMOS tête-bêche (M3 à M6). Chacun des 2 étages est polarisé indépendamment. Les transistors M7,M8,M9 sont des interrupteurs commandés en tension. Le principe de fonctionnement reste le même que dans le cas idéal.

3.2. LE COMPAREUR

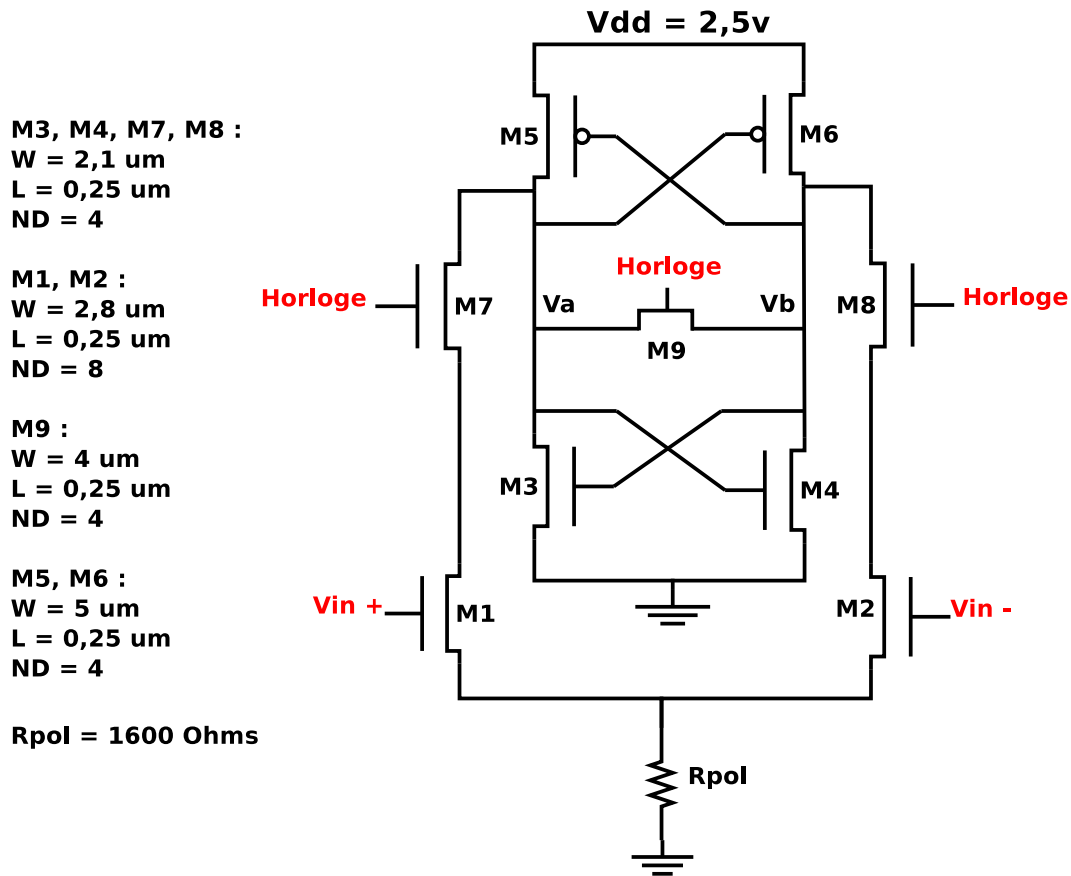


FIGURE 3.26 – Le comparateur à verrouillage proposé

Quand l'horloge passe au niveau haut, on passe en phase d'initialisation, M7, M8 et M9 sont passants. La tension différentielle en entrée est amplifiée par la paire d'entrée (M1,M2) et est convertie en courant différentiel appliqué à la boucle de régénération PMOS (M5,M6). M9 est passant, la tension est équilibrée, ce qui impose le courant dans la paire de NMOS (M3,M4) proche de celui des PMOS.

Quand l'horloge passe au niveau bas, on passe en phase de prise de position, le 1^{er} étage (la paire différentielle M1,M2) est déconnecté du 2nd lorsque M7, M8 passent à l'état bloqué. Ceci évite le bruit de rebond en entrée et une erreur sur la valeur bloquée.

M9 est dans un état bloqué et la différence de tension aux bornes des inverseurs est amplifiée pour obtenir les niveaux logiques. Puis M9 redevient passant, le transistor force la sortie à une tension indéterminée entre les 2 niveaux logiques. Le courant est directement lié à la taille des transistors dans le 2nd étage, ce qui entraîne encore un mésappariement du aux variations de procédé, entraînant une variation du mode commun en entrée et en sortie.

Le comparateur à verrouillage a un seuil de basculement qui évolue d'un comparateur à l'autre (dû au mésappariement) mais cet erreur reste négligeable par rapport au Quantum.

3.2.3 La remise en forme

La détection est réalisée par les 2 précédents étages. La prise de position peut être plus ou moins rapide suivant l'écart entre la tension d'entrée et la référence. Pour augmenter les temps de montée et de descente (slew rate) en sortie, des inverseurs ont été rajoutés. De plus, les inverseurs permettent de diminuer l'impédance de sortie du comparateur. Le gain de l'inverseur (Push-pull inverter) et son impédance de sortie peuvent être exprimés par [43] :

$$A_{INV} = \sqrt{\frac{2}{I_D}} \cdot \frac{\sqrt{K_N \frac{W_N}{L_N}} + \sqrt{K_N \frac{W_N}{L_N}}}{\lambda_1 + \lambda_2} \quad R_{OUT} = \frac{1}{G_{ds1} + G_{ds2}} = \frac{1}{I_{DS}(\lambda_1 + \lambda_2)} \quad (3.24) \quad (3.25)$$

3.2.4 Schéma final réalisé et résultats de simulation

En figure 3.28 est présenté le schéma de la structure du comparateur complet. La donnée numérique est valide durant la moitié d'une période. Pour relaxer le système et ainsi obtenir la valeur numérique pendant la période totale, des bascules sont mises en sortie en injectant une horloge inverse au comparateur pour obtenir la donnée numérique pendant une période. Un chronogramme permet de visualiser le fonctionnement global de la structure en figure 3.27.

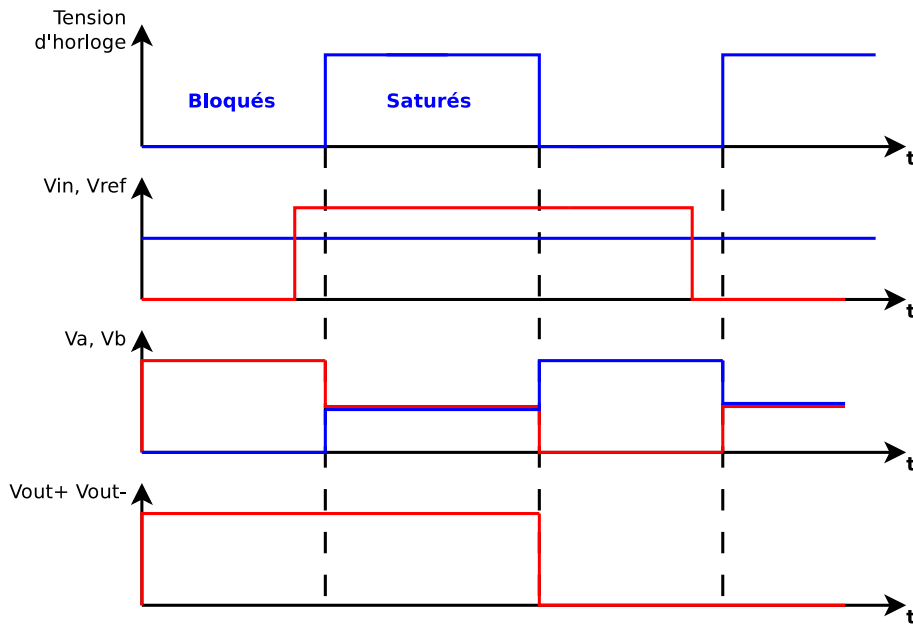


FIGURE 3.27 – Chronogramme du fonctionnement du comparateur

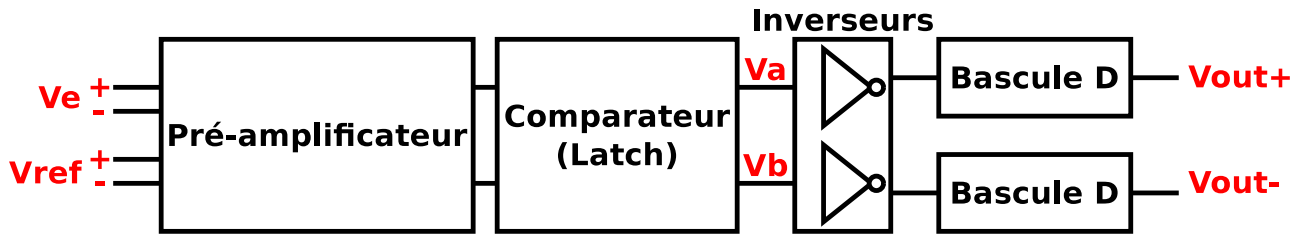


FIGURE 3.28 – Schéma complet du comparateur

Optimisation

En utilisant la technologie Qubic4X, nous obtenons une précision $V_{LSB} = 1 \text{ mV}$ pour une fréquence d'horloge de 1,5 GHz. Cependant une étude statistique avec une simulation de type « Monte Carlo » montre un rendement $< 5 \%$ pour $V_{LSB} = 1 \text{ mV}$. Pour remédier aux erreurs dues aux variations de procédé, nous avons optimisé l'ensemble comparateur et pré-amplificateur avec une valeur de V_{LSB} inférieure à celle voulue jusqu'à atteindre un pourcentage d'erreur inférieur à 40 %. La figure 3.29 montre la méthode de travail adoptée pour obtenir le V_{LSB} voulu. Nous avons obtenu un rendement supérieur à 60 % avec cette méthode pour un $V_{LSB} = 16 \text{ mV}$.

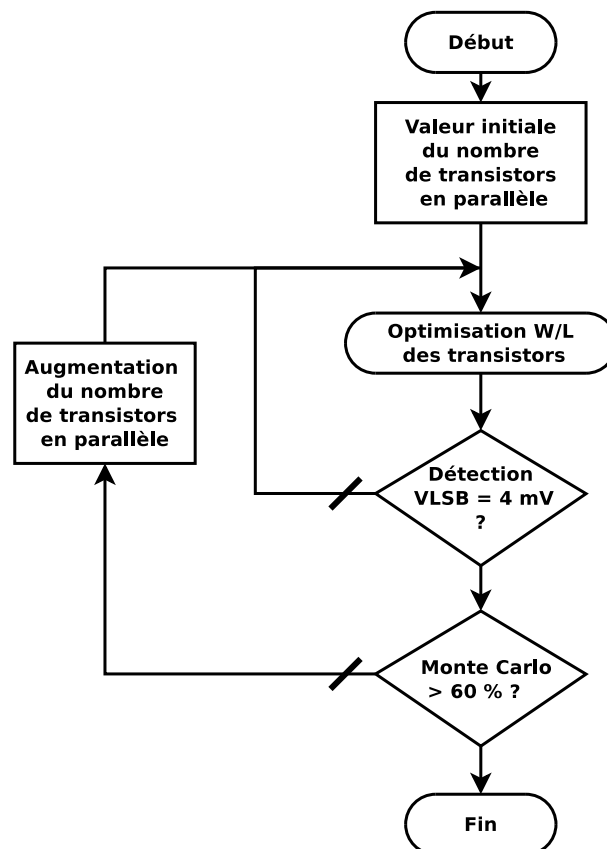


FIGURE 3.29 – Processus mis en place pour obtenir un pourcentage d'erreur inférieur 40 %

3.2.5 Résultat de simulation

Les résultats obtenus à partir de la simulation pour la chaîne de comparaison totale sont donnés dans le tableau 3.4. Une simulation « Monte-Carlo » a été réalisée avec les paramètres de process et de mésappariement.

TABLE 3.4 – Résultats de simulation du comparateur complet

Tension d'alimentation (V)	2,5
Fréquence d'échantillonnage (GHz)	1
Puissance (mW)	11,5
Niveaux de sortie bas et haut (V)	0 - 2,5
Rendement pour 16 mV de dépassement (%)	> 60

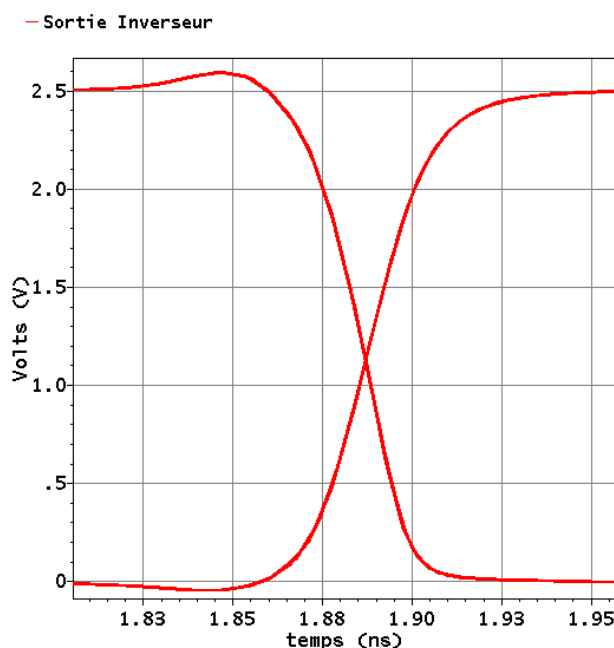


FIGURE 3.30 – Diagramme de l'oeil

La figure 3.31 montre le résultat de simulation pour un dépassement de 16 mV pour une tension centrale de référence de 1,5 V. On remarque un temps de montée de V_a et V_b de 200 ps et des temps de transition en sortie des bascules inférieurs à 100 ps.

La figure 3.30 montre un diagramme de l'oeil en sortie des inverseurs. On obtient un temps de montée et de descente égal à 100 ps.

3.2. LE COMPAREUR

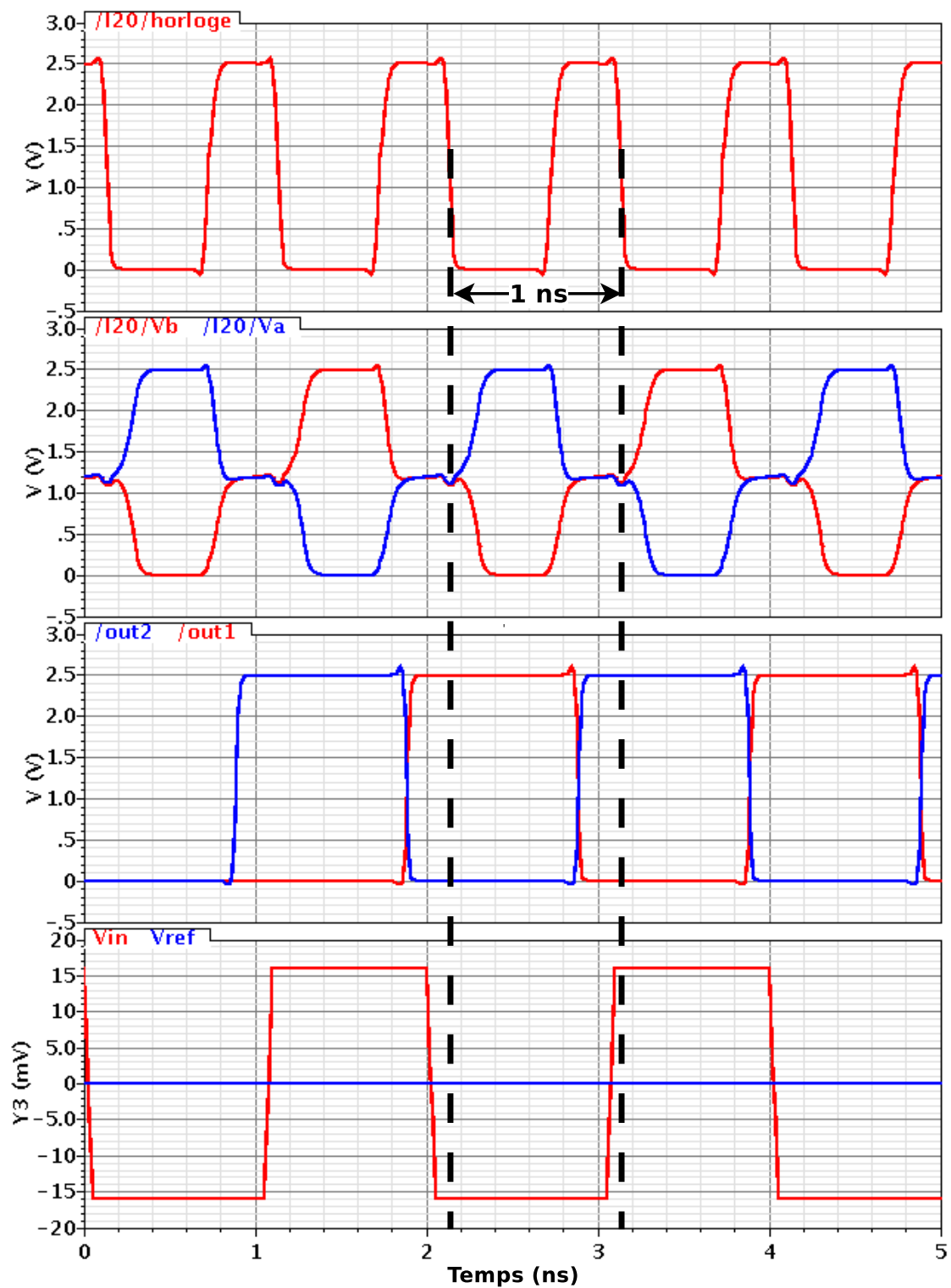


FIGURE 3.31 – Chronogramme des étages du comparateur utilisé

3.3 Échelle de résistance

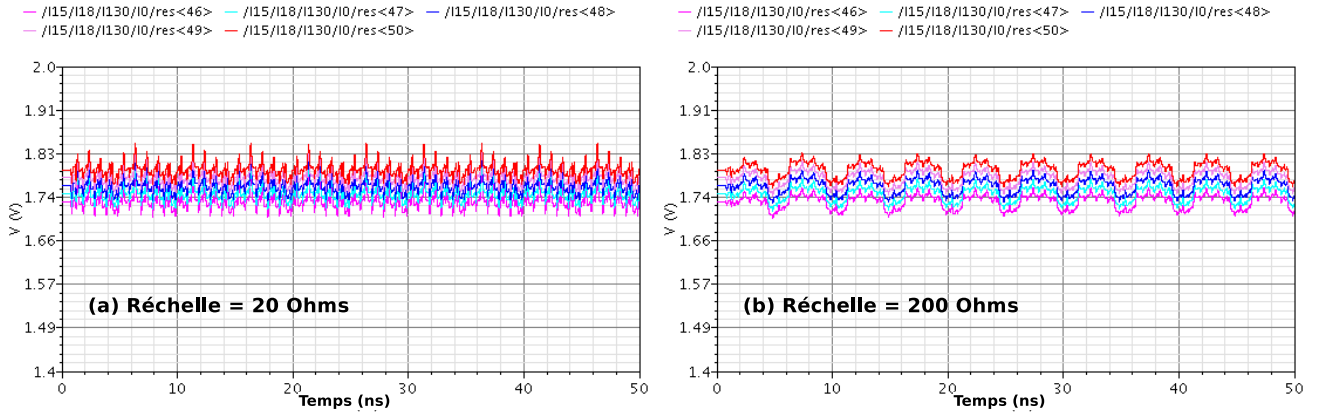


FIGURE 3.32 – Tensions de référence, pour $F_{\text{echantillonnage}} = 1\text{GS/s}$ et $F_{\text{entree}} = 100\text{ MHz}$, avec en (a) $R_{\text{echelle}} = 20\ \Omega$ et (b) $R_{\text{echelle}} = 200\ \Omega$

L'échelle de résistance a pour but d'amener les tensions de référence à chaque comparateur du CAN. C'est un point critique du CAN, à chaque pas correspond un LSB, c'est à dire $V_{LSB} = 16\text{ mV}$. Les variations influent sur les performances statiques mais aussi dynamiques du CAN.

L'échelle de résistance est composée de $(2^N - 1)$ résistances, il y a autant de résistances qu'il y a de comparateurs dans le CAN. L'échelle de résistances influe sur l'impédance d'entrée du pré-amplificateur. Une distorsion apparaît selon la fréquence de l'entrée. Pour diminuer cette distorsion, il faut minimiser la valeur de la résistance. De plus, on peut remarquer que le bruit de rebond peut être observé sur l'échelle de résistance.

La figure 3.32 présente les variations de la tension de référence entre une résistance de 20 et 200 Ω , on remarque une variation conséquente de la tension de référence selon la taille de la résistance. Pour une valeur de 200 Ω , une variation sinusoïdale est présente sur les courbes et est dépendante de la fréquence d'entrée. L'idéal est d'avoir une très faible valeur de résistance, mais pour des raisons de dessin du masque et de mésappariement, la valeur de 20 Ω est choisie pour les résistances de l'échelle.

3.4 Décodage en mot binaire

Dans un CAN rapide nous cherchons à coder une tension analogique, celle-ci est dans un premier temps convertie en un code thermomètre (CT) en un seul coup d'horloge par l'échelle de comparateurs. Ce CT est ensuite converti en un mot binaire en 2 étapes [44] :

- Conversion du CT en un code « 1 parmi n » à l'aide d'un étage de portes « et » dans la plupart des cas.
- Conversion du code « 1 parmi n » en un code binaire en utilisant des ROM ou un décodeur à arbre.

La figure 3.33 montre le schéma de la partie numérique.

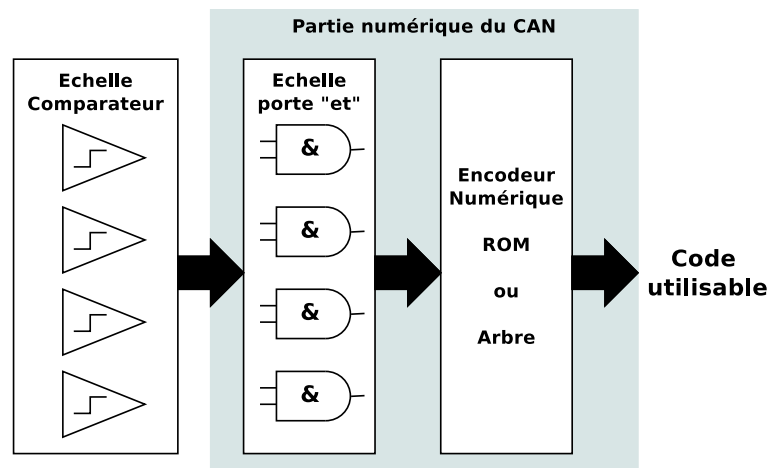


FIGURE 3.33 – Schéma de la structure numérique

Le but est de passer d'un code thermomètre de taille 2^{N-1} représentant un nombre décimal à un code connu binaire de N bits, afin d'être plus facilement exploitable par un système informatique. Dans le tableau 3.5 rappelle les correspondances entre les différents codes.

TABLE 3.5 – Correspondance entre les différents codes pour un CAN 3 bits

Nombre décimal	Code Binaire	Code thermomètre	Code "1 parmi n"
7	111	1111111	1000000
6	110	0111111	0100000
5	101	0011111	0010000
4	100	0001111	0001000
3	011	0000111	0000100
2	010	0000011	0000010
1	001	0000001	0000001
0	000	0000000	0000000

3.4.1 Correction de bulle

Pour convertir le CT en code « 1 parmi n », on utilise une « correction de bulle » (CB) composée de portes « et » à plusieurs entrées. Dans le meilleur des cas, le code de sortie ne contient qu'un seul "1" et est suivi de "0" [45] [46] [47]. Cependant dans le cas réel, il arrive parfois qu'une erreur apparaisse dans le code thermomètre. Cette erreur est causée par la métastabilité au niveau de l'échelle comparateurs. La CB composée de portes « et » à 2 entrées supprime les bulles du 1^{er} ordre dans le CT, minimisant les erreurs sur le code final. Il est possible d'augmenter la correction en utilisant des portes avec un nombre d'entrées plus élevé afin d'avoir un ordre de correction plus conséquent. Néanmoins, la majorité des erreurs apparaît entre 2 comparateurs consécutifs ; ces erreurs sont causées par les mésappariements.

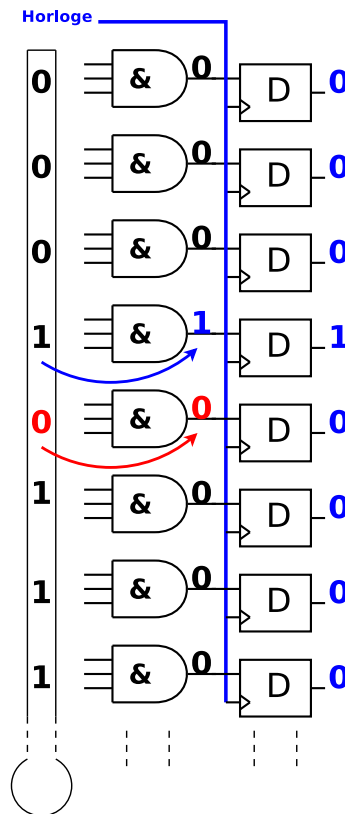


FIGURE 3.34 – Correction de bulle

La figure 3.34 est un exemple de correction de bulle apparue lors d'une conversion. Un "0" est détecté lors de la conversion. Le CT est directement corrigé par l'étage CB et permet dans ce cas d'avoir notre code « 1 parmi n » directement en sortie. Ce code est ensuite sauvegardé dans des bascules.

3.4.2 Le décodeur

Le décodeur permet le passage du code « 1 parmi n » au code binaire. Pour cela 2 principes de décodage sont possibles : le décodeur à arbre et le décodeur ROM .

Le décodeur à arbre

Le décodeur à arbre peut être réalisé de 2 manières différentes, soit à l'aide d'additionneurs 1 bits (figure 3.35) ou de portes "ou" (figure 3.36). Le décodeur additionneur permet de compter les "1" produits afin d'obtenir le nombre binaire. Cette technique est utilisée dans certaines architectures flash [48] [49] mais a l'inconvénient d'avoir une architecture lourde. Un additionneur est composé de 2 portes logiques afin d'avoir le résultat et la retenue. De plus, le layout d'un tel système reste très complexe pour des architectures avec un nombre de bits élevé. Le croisement des interconnexions diminue fortement la vitesse de fonctionnement.

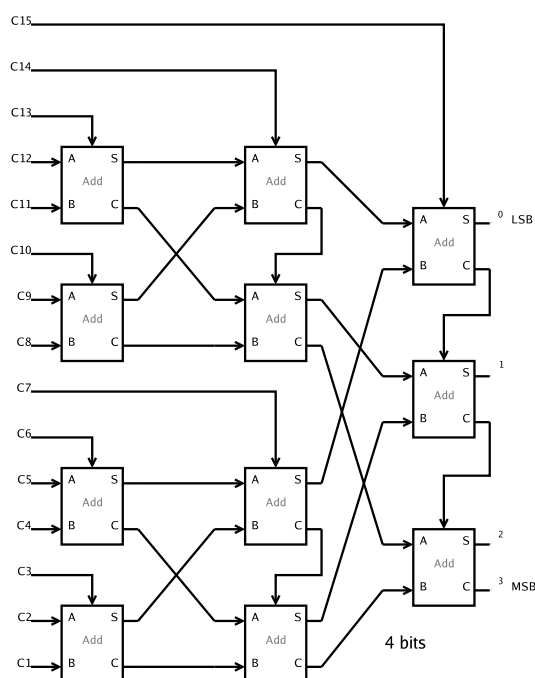


FIGURE 3.35 – Décodeur à arbre avec additionneur pour un CAN flash 4 bits

Le décodeur à arbre ne comportant que des portes « ou » est très simple à réaliser schématiquement. Dans le même principe que le précédent, le décodeur propage le "1" produit par la CB et permet de donner le nombre binaire en sortie. La latence reste identique pour chacun des bits pour les 2 décodeurs. Cependant, le temps de propagation est non négligeable avant d'avoir le résultat en sortie. Pour un CAN 6 bits, il faut traverser 6 portes avant d'avoir le résultat en sortie. En technologie $0,25\ \mu m$ CMOS, le retard approximatif est de 300 ps pour obtenir les bits en sortie. Ce dernier chiffre dépend de la sortance et de l'entrance de la porte utilisée.

3.4. DÉCODAGE EN MOT BINAIRE

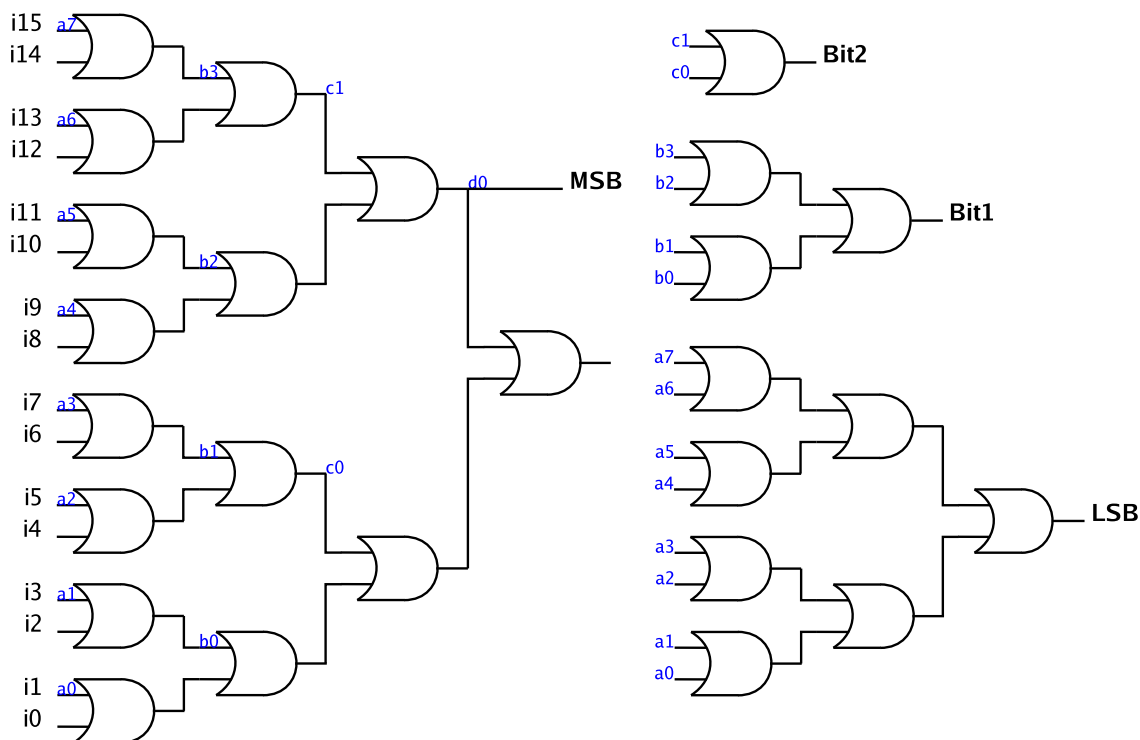


FIGURE 3.36 – Décodeur à arbre en porte « OU »

Le décodeur ROM

L'avantage du décodeur ROM est sa simplicité de réalisation. En contre partie, sa consommation et sa faible vitesse d'encodage sont ses principaux défauts. De plus, la ROM est très sensible aux erreurs de bulle. Il suffit que 2 codes soient valides au même moment pour que le code soit complètement erroné (figure 3.37).

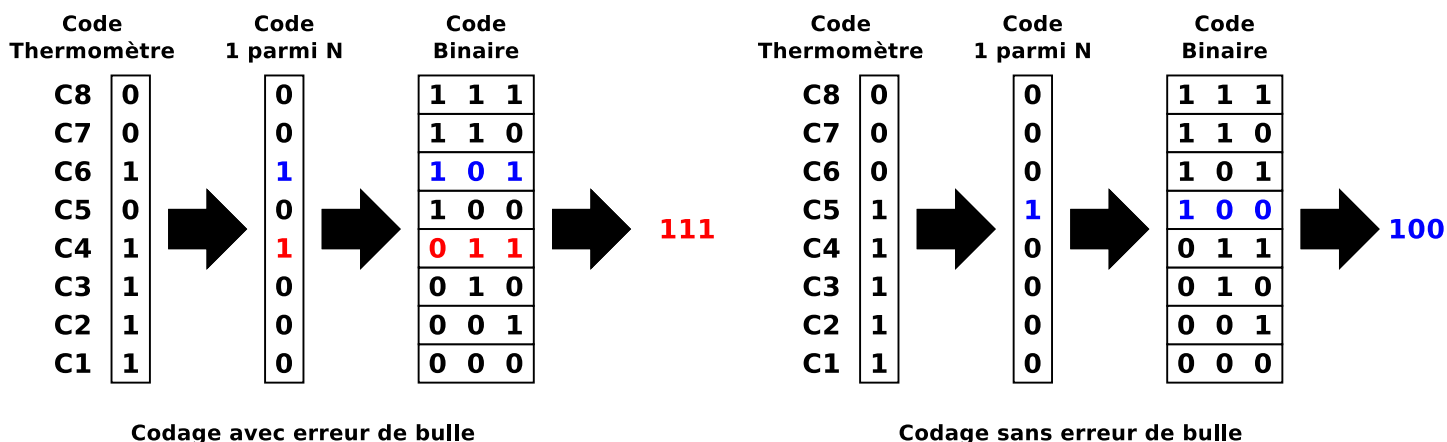


FIGURE 3.37 – Schéma d'encodage numérique d'une structure 3 bits d'une ROM sans et avec erreur de bulle

3.4. DÉCODAGE EN MOT BINAIRE

La figure 3.38 présente un décodeur ROM 3 bits. La ROM a 2 phases de fonctionnement. Lorsque l'horloge est au niveau bas, les transistors PMOS sont passants et la sortie est imposée à un niveau haut. Ensuite, au niveau haut de l'horloge, les transistors NMOS deviennent passants sur la ligne adressée par l'étage CB.

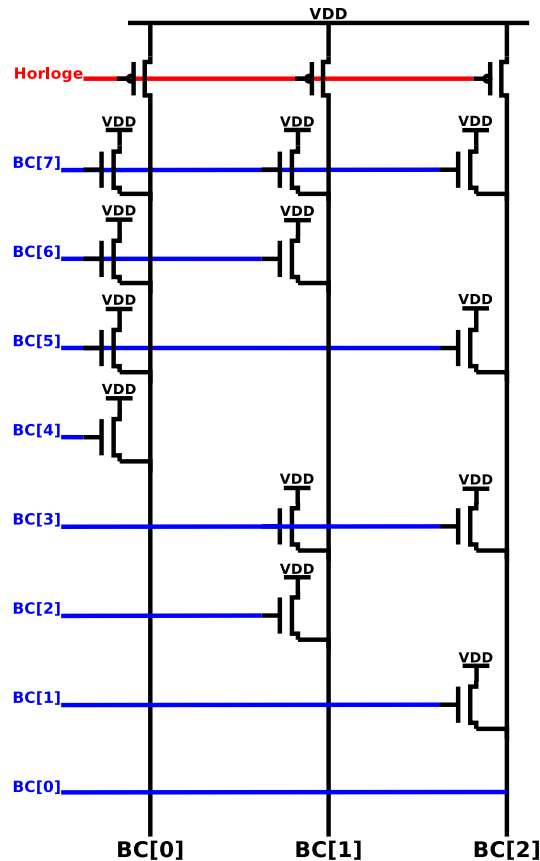


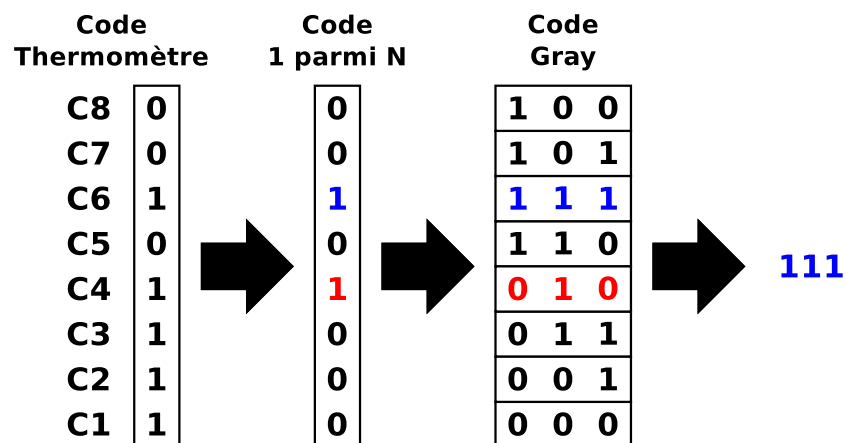
FIGURE 3.38 – Architecture mémoire 3 bits (Read Only Memory)

Le décodeur Gray

Le code Gray a la particularité d'avoir un seul bit qui change lorsqu'on passe d'un code à un autre ce qui permet de minimiser les erreurs de bulle. La figure 3.39 représente la même erreur que la figure 3.37. Il y a deux "1" qui apparaissent dans l'échelle « 1 parmi n », ce qui valide 2 codes en sortie de la ROM en code Gray. Les lignes à "1" valident la sortie à l'état haut. Le code de sortie est donc à "111" dans notre exemple.

A travers cet exemple, on peut constater que l'erreur amenée par le code erroné de l'étage précédent apporte moins d'erreur contrairement à la ROM binaire dont le code peut être totalement erroné.

3.4. DÉCODAGE EN MOT BINAIRE



Codage avec erreur en utilisant le code Gray

FIGURE 3.39 – Schéma d’encodage numérique d’une structure 3 bits d’une ROM en code de Gray avec erreur de bulle

3.4.3 Correction de bulle et décodeur choisis

Pour la réalisation de ce premier CAN, nous avons choisi une correction de bulle du second ordre afin de diminuer davantage d’erreurs de bulles. Nous avons opté pour la conception d’une ROM pour sa facilité de réalisation. Cependant, nous gardons une ROM à codage binaire avec des bascules en entrée et en sortie. Les simulations ont montré un bon fonctionnement de celles-ci dans notre bande de fréquence.

3.5 Éléments supplémentaires en vue des tests ultérieurs

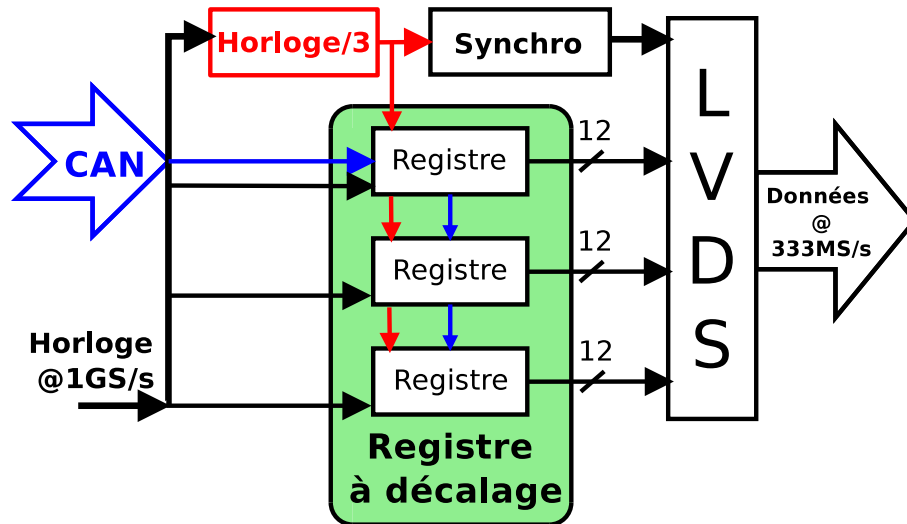


FIGURE 3.40 – Système de test en sortie du CAN

Afin de pouvoir tester le circuit après le retour de fonderie, il convient d'anticiper les besoins pour le test et inclure si besoin des éléments additionnels à ce circuit. On devra également concevoir une carte spécifique et une carte comportant un FPGA⁴. Un banc de test est décrit plus loin dans cette partie du mémoire. Pour cela le CAN intègre :

- un registre à décalage
- une synchronisation de données
- des sorties LVDS

La figure 3.40 présente la structure globale en sortie du CAN.

3.5.1 Registre à décalage

La carte de développement à base de FPGA (la gamme virtex 5) utilisée pour les tests accepte seulement des flots de données jusqu'à 400 MHz. Le CAN est cadencé à 1 GHz, il est donc impossible d'acquérir les données directement. Un registre à décalage est donc intégré au circuit pour diviser le flot de données par 3, ainsi on obtient 3 mots de 6 bits cadencés à 333 MHz. On utilise pour cela des bascules D pour la mémorisation des mots (figure 3.41). A chaque coup d'horloge, les données se propagent à travers les différents étages 1, 2 et 3. Ensuite au bout de 3 coups d'horloge, « Ecriture » passe au niveau haut et on obtient les mots A, B et C en sortie du registre.

4. Field-Programmable Gate Array, réseau de portes programmables in situ

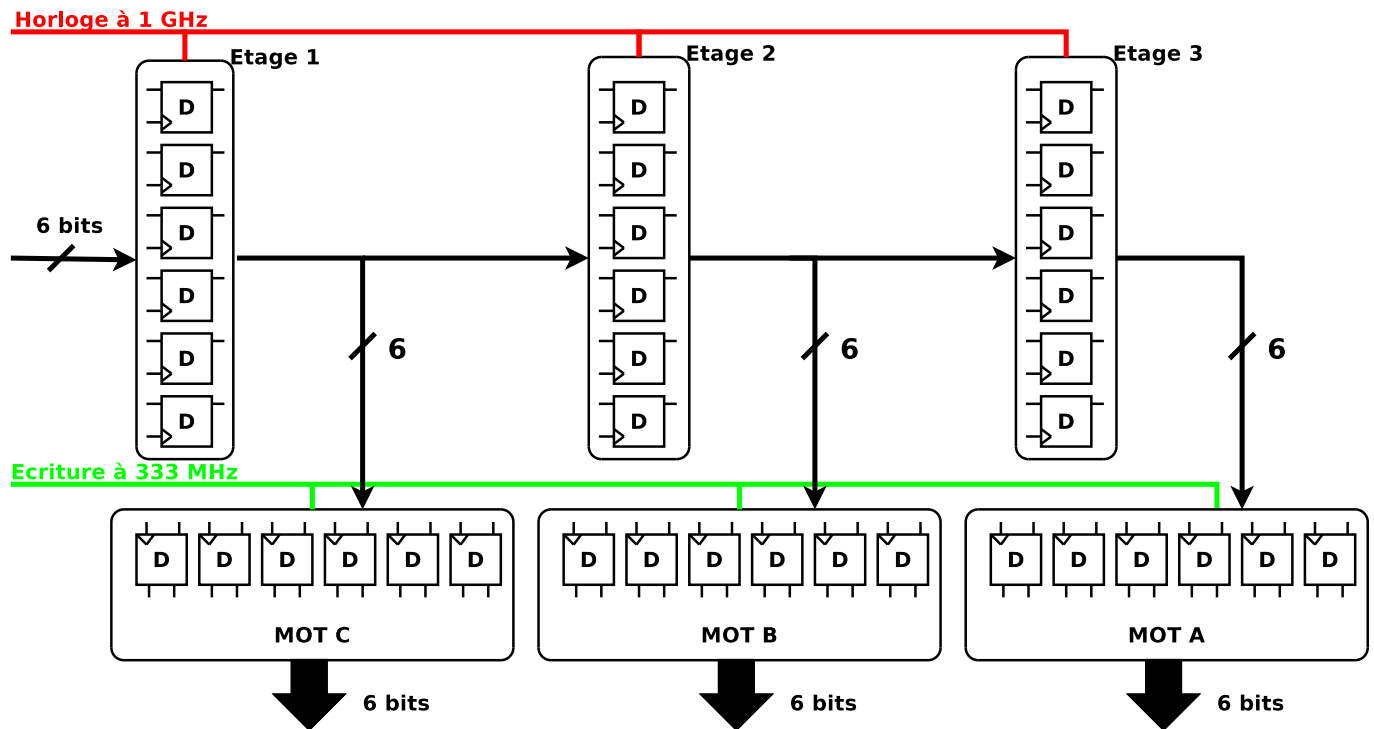


FIGURE 3.41 – Registre à décalage

Pour la réalisation des bascules, on a opté pour les bascules déjà réalisées dans la bibliothèque numérique fournie. Des simulations ont permis de vérifier leur fonctionnement à la fréquence d'échantillonnage de 1 GHz.

3.5.2 Synchronisation et écriture des données (data ready : DR)

Afin d'effectuer la synchronisation avec la carte externe permettant la mémorisation, un bit a été ajouté. Un système comptant trois coups d'horloge permet de valider l'écriture dans le registre à décalage et d'envoyer un bit de synchronisation vers l'extérieur (figure 3.42).

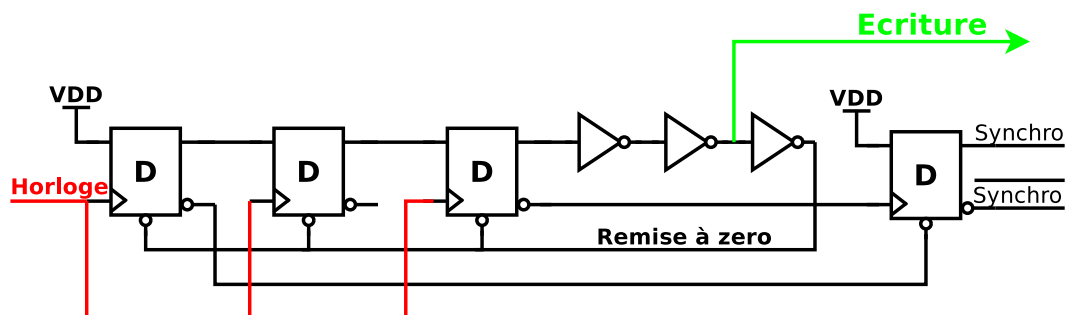


FIGURE 3.42 – Synchronisation et validation d'écriture pour le registre à décalage

3.6 L'horloge

L'horloge est essentielle pour des systèmes numériques rapides. La précision des changements d'états et leurs niveaux ont un impact direct sur les performances d'un circuit. Dans notre conception, le générateur d'horloge est externe. Il est fournie par un générateur haute fréquence. Cependant, pour une bonne propagation du signal à l'intérieur du circuit, des remises en forme sont insérées en entrée du circuit pour obtenir des signaux logiques conformes à nos attentes. D'autres remises en forme sont aussi placées en entrée des comparateurs et des blocs numériques.

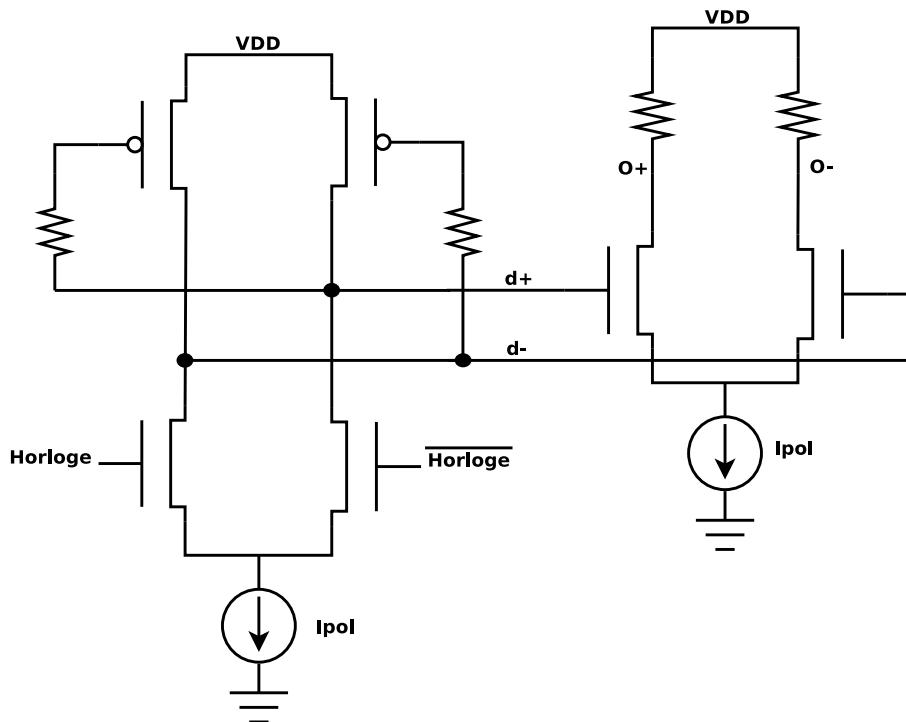


FIGURE 3.43 – Schéma de l'amplificateur à Trigger de Schmitt avec amplificateur de sortie

L'entrée du circuit est différentielle pour éviter les perturbations de mode commun et de bruit sur le signal. L'amplificateur d'entrée est un Trigger de Schmitt⁵ (figure 4.5). On obtient ainsi un cycle d'hystérésis avec 2 valeurs de seuil en entrée, la figure 3.44 indique les résultats obtenus en simulation.

5. Le Trigger de Schmitt est un montage appelé aussi bascule à seuil

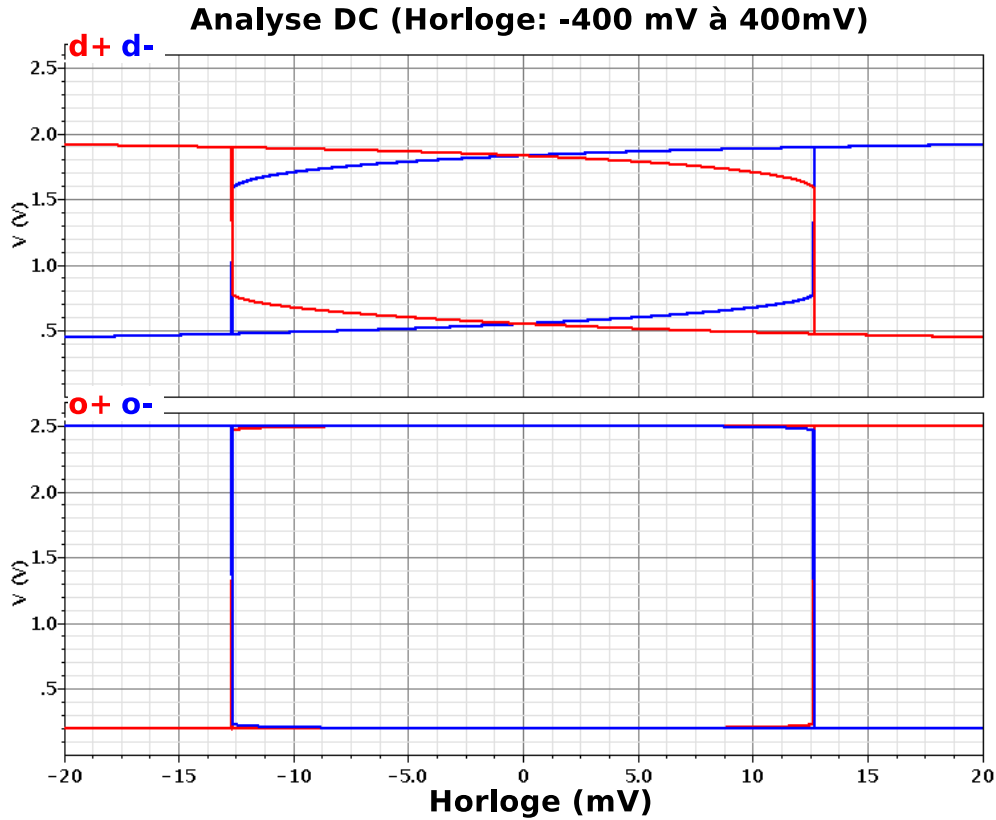


FIGURE 3.44 – Caractéristiques de transfert entrée sortie d'un Trigger de Schmitt

Les performances sont exprimées par les performances dynamiques et statiques. Les performances statiques sont données par les niveaux de tension et les seuils de basculement. Les performances dynamiques, le bruit et le « jitter »⁶, sont 2 paramètres qui dégradent le SNR. Le SNR peut être exprimé par [50] [51] :

$$SNR_{dB} = -20 \cdot \log \left(\sqrt{ \underbrace{(2\pi \cdot f_{in} \cdot \delta T j_{RMS})^2}_{\text{Jitter d'horloge}} + \underbrace{\frac{2}{3} \left(\frac{1 + \varepsilon}{2^N} \right)^2}_{\text{Quantification de bruit}} + \underbrace{\left(\frac{2\sqrt{2} V_{bruit_{RMS}}}{2^N} \right)^2}_{\text{Bruit effectif d'entrée}} } \right) \quad (3.26)$$

où $\delta T j_{RMS}$ est le jitter d'horloge et f_{in} est la fréquence d'entrée, ε est la moyenne différentielle non-linéarité du CAN en LSB, $V_{bruit_{RMS}}$ est le bruit d'entrée effectif du CAN.

6. Jitter en termes techniques est l'écart ou le déplacement de certains aspects des impulsions dans les hautes fréquences des signaux numériques.

3.6. L'HORLOGE

Le jitter est dû en partie à l'horloge qui dégrade le SNR du CAN. Le SNR pour un système idéal, en fonction du jitter de l'horloge seul, peut être exprimé par l'équation [50] :

$$SNR_{dB} = -20 \cdot \log(2 \cdot \pi \cdot f_{in} \cdot \delta T j_{RMS}) \quad (3.27)$$

où $\delta T j_{RMS}$ est le jitter d'horloge et f_{in} est la fréquence d'entrée.

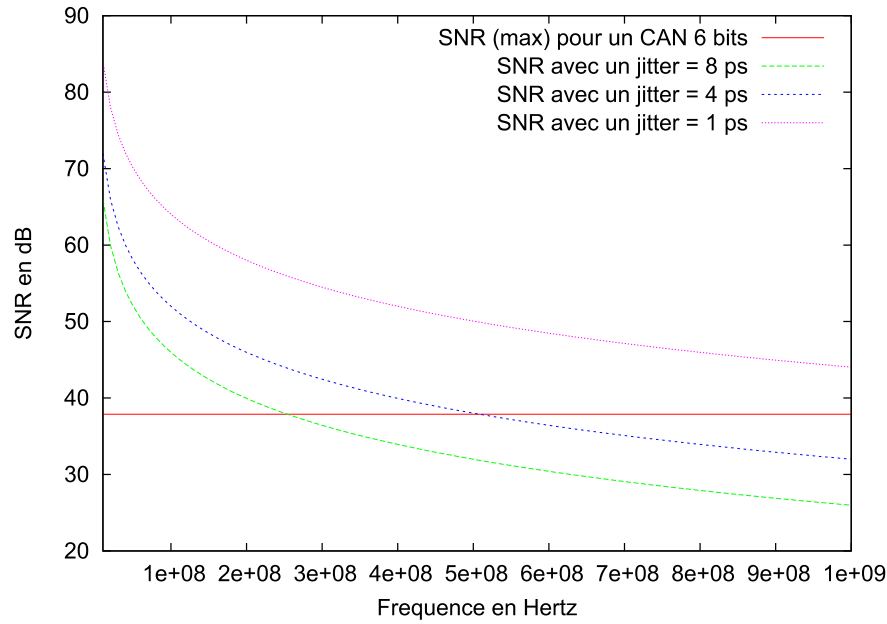


FIGURE 3.45 – SNR en fonction de la fréquence pour différentes valeurs de jitter par rapport au SNR maximum

On peut, en fonction du jitter d'horloge, connaître la fréquence d'entrée maximum avant d'obtenir des dégradations apparentes sur le SNR. Les figures 3.45 et 3.46 montrent l'évolution du SNR en fonction du jitter pour un CAN 6 bits et le SNR pour des CAN 6, 8, 10 bits avec un DNL = 0,5 LSB, une tension de bruit de 0,5 V et un jitter de 1 ps.

Idéalement (voir la formule : 2.9), le SNR est égal à 37,88 dB au maximum pour un CAN avec une résolution de 6 bits ($\delta T j_{RMS} = 0$, $\varepsilon = 0$, $V_{bruit_{RMS}} = 0$). Pour obtenir ce SNR avec une fréquence d'entrée de 500 MHz, le jitter d'horloge doit être inférieur à 4 ps comme le montre la figure 3.45.

Des simulations réalisées sur l'amplificateur à Trigger de Schmitt ont déterminé un jitter inférieur à 2 ps. La figure 3.47 montre l'histogramme du jitter de l'horloge en fonction du temps.

Des inverseurs sont utilisés à la suite du Trigger de Schmitt pour remettre en forme distinctement les niveaux bas et haut de l'horloge (figure 3.48).

Les tailles des transistors sont croissantes afin de diminuer l'impédance de sortie et ainsi d'augmenter les temps de montées et de descentes des signaux numériques. On obtient ainsi des signaux numériques Q et \bar{Q} avec des temps de transition inférieurs à 100 ps en sortie de la chaîne pour

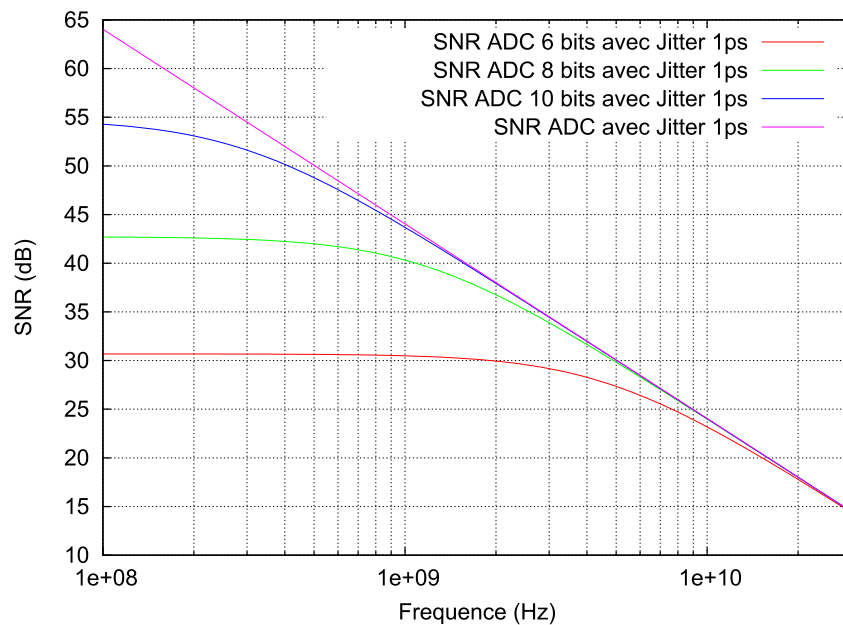


FIGURE 3.46 – SNR en fonction du nombre de bits pour un jitter de 1 ps, une tension de bruit de 0,5 V et un DNL de 0,5 LSB

la génération d'horloge. De plus, des inverseurs locaux ont été placés en entrée des horloges des comparateurs pour améliorer les niveaux des signaux numériques.

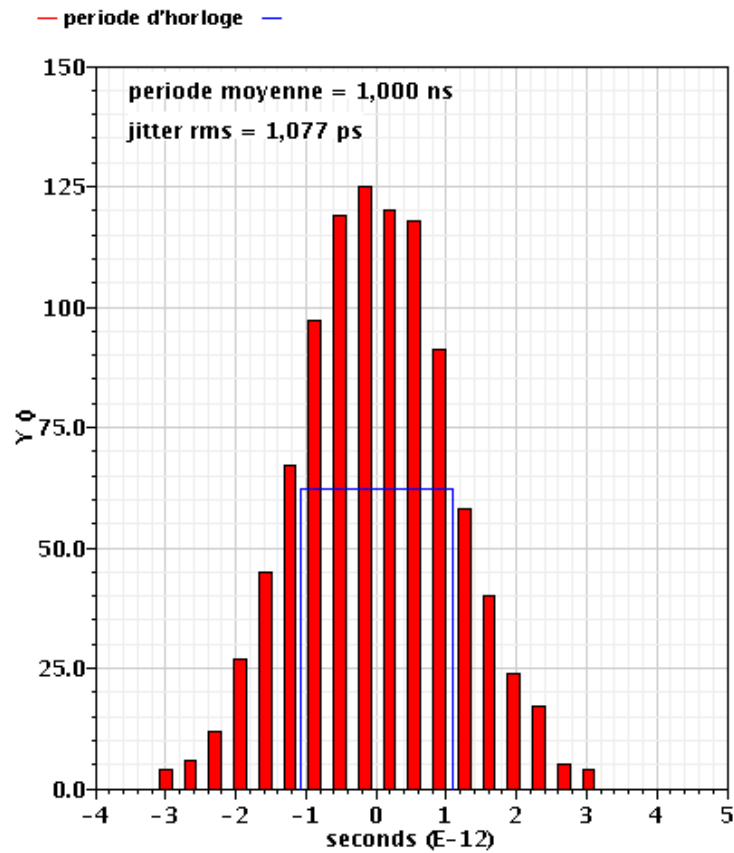


FIGURE 3.47 – Jitter de l'horloge

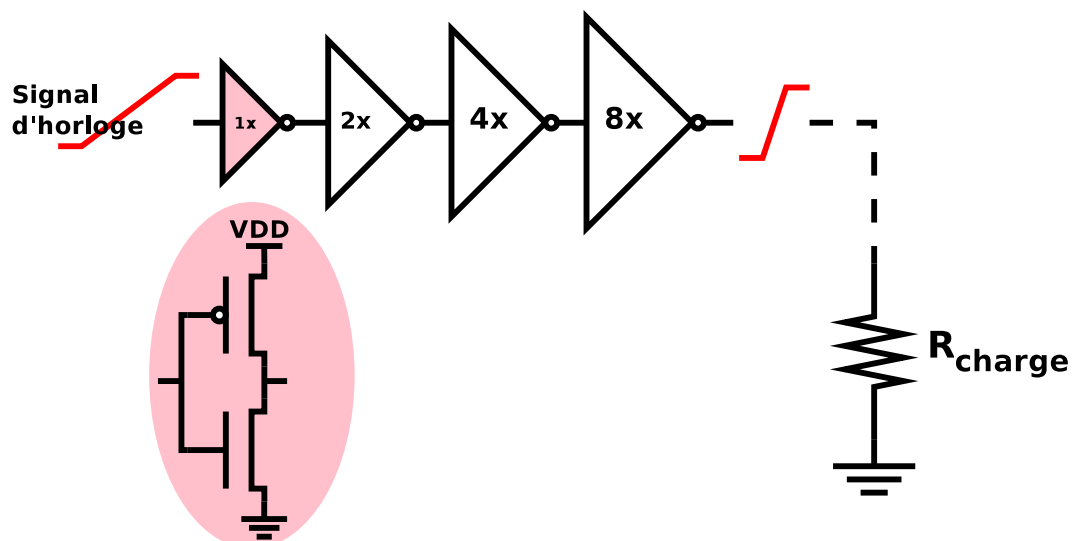


FIGURE 3.48 – Schéma inverseur utilisé pour la mise en forme et l'adaptation en tension

3.7 Les sorties LVDS

LVDS est l'abrégié de « Low Voltage Differential Signaling », il désigne une norme de transmission de signaux électriques numériques à très hautes fréquences (du MHz au GHz). La norme est faite pour les niveaux haut et bas. On souhaite transmettre en puissance c'est à dire, obtenir une sortie adaptée en puissance. Pour pouvoir fonctionner en haute fréquence, cette norme utilise des structures symétriques. Les circuits utilisés sont à base de structure différentielle, les sorties sont adaptées sur $100\ \Omega$ différentielle [52] [53]. La norme LVDS spécifie une valeur du courant égale à $+3,5$ et $-3,5$ mA aux bornes du récepteur de $100\ \Omega$, soit une différence de potentiel de 350 mV aux bornes de la résistance. La sortie LVDS est différentielle et a pour avantage un faible mode commun dû à la signalisation différentielle. Cette sortie possède donc une excellente immunité au bruit et un faible bruit généré par dispositif de commutation. La figure 6.27 illustre l'utilisation de cette norme dans une chaîne de transmission.

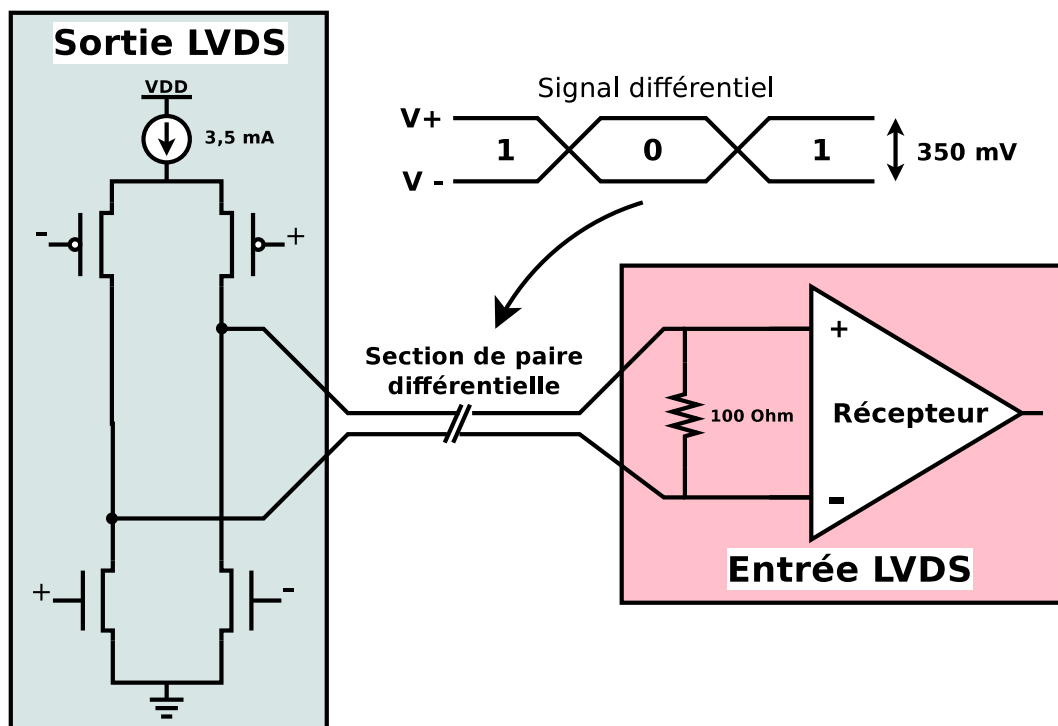


FIGURE 3.49 – Schéma LVDS en émission et réception

On peut aussi voir le LVDS comme un amplificateur RF ayant pour gain l'unité et une bande passante très large. L'amplificateur doit alors supporter une sinusoïde différentielle de 800 mV_{pp} en entrée sans que cette sinusoïde soit dégradée en sortie. Il doit avoir également un coefficient d'adaptation en puissance $S_{dd_{22}}$ inférieur à -12 dB par exemple. Cette méthode n'est pas appliquée pour ce premier circuit mais sera adaptée pour les sorties LVDS du second CAN.

3.7. LES SORTIES LVDS

Le récepteur LVDS est intégré dans la carte d'acquisition. Dans la réalisation de ce CAN, la sortie LVDS est réalisée avec un pont en H, il est commandé en utilisant les sorties Q et \bar{Q} de la bascule d'entrée comme le montre la figure 3.50. Les inverseurs sont dimensionnés afin de compenser la dissymétrie des sorties de la bascule.

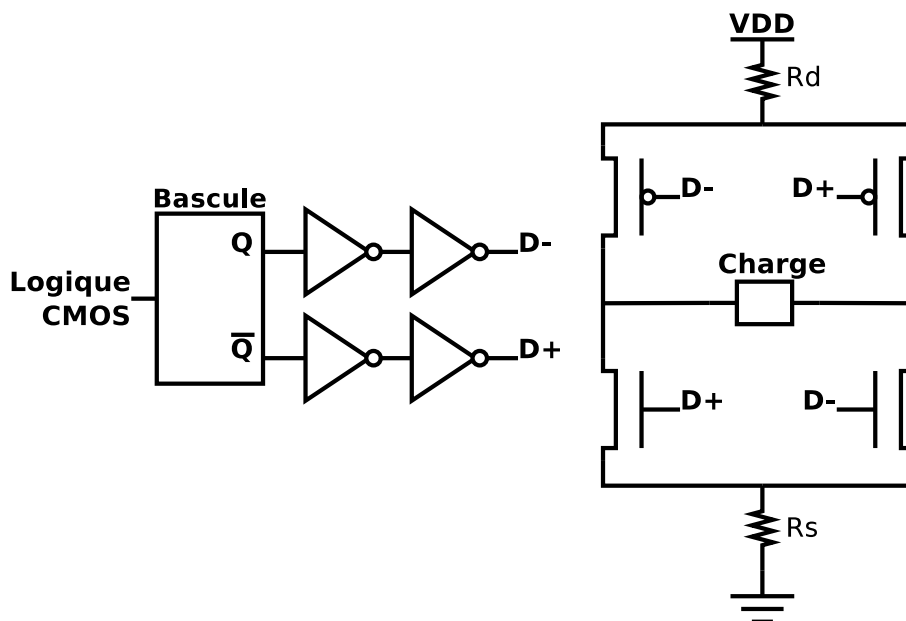


FIGURE 3.50 – Schéma de la sortie LVDS utilisée

3.8 Simulation du CAN complet et résultats

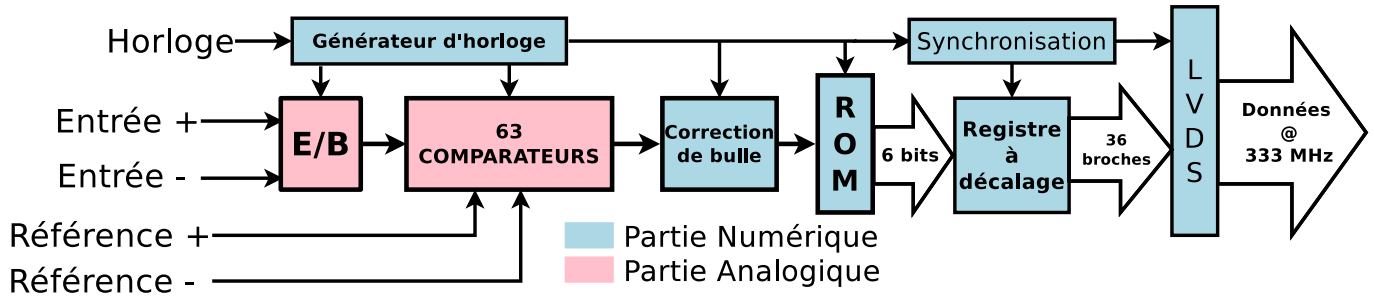


FIGURE 3.51 – Schéma du CAN complet

Après avoir étudié les différents composants du circuit, on peut réaliser la simulation statique et dynamique du CAN dans sa totalité. Pour cela, nous utilisons le logiciel Cadence ainsi que des structures programmées en verilogA pour le test. Dans cette partie, nous allons décrire les 2 « bancs de test » des 2 simulations statiques et dynamiques et analyser les résultats obtenus. La figure 3.51 illustre le CAN complet avec le registre à décalage et le bit de synchronisation utilisé pour le test réel. Le tableau 3.6 indique les différents paramètres du CAN.

TABLE 3.6 – Paramètres du CAN 6 bits

Tension d'alimentation E/B (V)	5
Tension d'alimentation Circuit (V)	2,5
Fréquence d'horloge (GHz)	1
Tension de référence max (V)	2
Tension de référence min (V)	1
Mode commun d'entrée (V)	0
Mode commun d'entrée CAN (V)	1.5
V_{LSB} (mV)	16
Plage dynamique d'entrée (mV)	150
Puissance E/B (W)	1
Comparateur et Numérique (W)	0.55
LVDS (W)	0.44

3.8.1 Le banc de test et les résultats de la simulation statique

La figure 3.52 présente le schéma de la simulation statique en s'aidant d'un code en verilogA (sous cadence) en sortie du CAN. La simulation du masque du CAN est possible et les erreurs des divers composants sont considérées. On génère un signal rampe différentiel qui s'incrémente avec un pas de quantification inférieur à celui de l'horloge balayant toute la plage du CAN.

3.8. SIMULATION DU CAN COMPLET ET RÉSULTATS

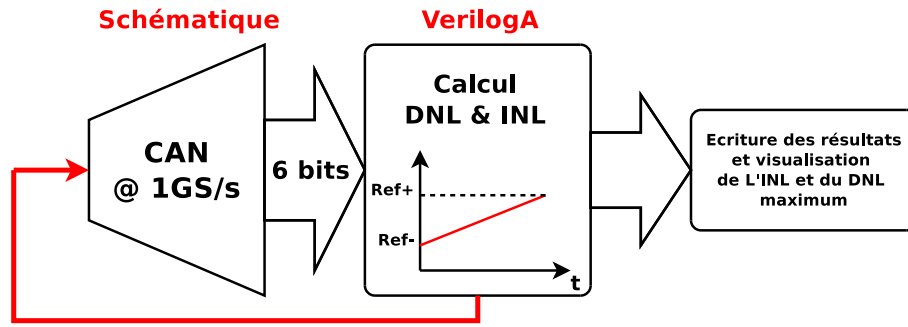


FIGURE 3.52 – Schéma du test INL et DNL

Une fois le balayage achevé, on calcule l'INL et le DNL maximum. Le code verilogA utilisé pour déterminer l'INL et le DNL se trouve en Annexe C. Les résultats d'INL et de DNL sont obtenus sans l'E/B car les capacités de liaison de l'échantillonneur-bloqueur ne permettent pas d'injecter un signal rampe. Une autre solution de mesure est possible en injectant une sinusoïde mais il faut un grand nombre d'échantillons. Cette solution est possible seulement lors des tests du circuit [54].

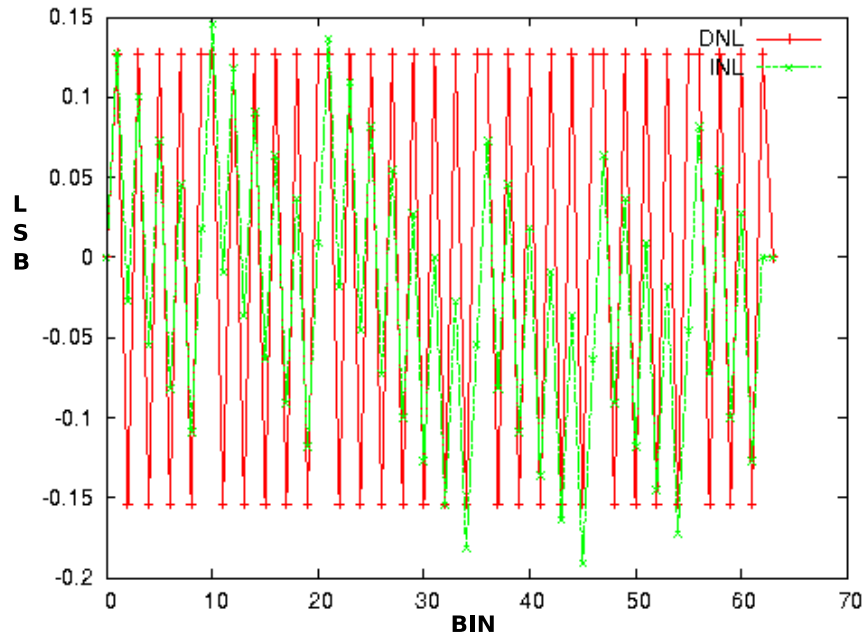


FIGURE 3.53 – Résultats obtenus pour l'INL et La DNL en simulation

Pour ce premier CAN, l'INL et le DNL sont évalués en injectant directement un signal de rampe à l'entrée de l'échelle des comparateurs. On obtient alors un INL maximum égal à 0,13 LSB et un DNL maximum égal à 0,18 LSB. La figure 3.53 indique les résultats de simulations de l'INL et du DNL du CAN sans l'E/B. Les valeurs obtenues sont inférieures aux valeurs maximums précisées dans le tableau 2.3 dans l'introduction de cette partie.

3.8.2 Le banc de test et les résultats de la simulation dynamique

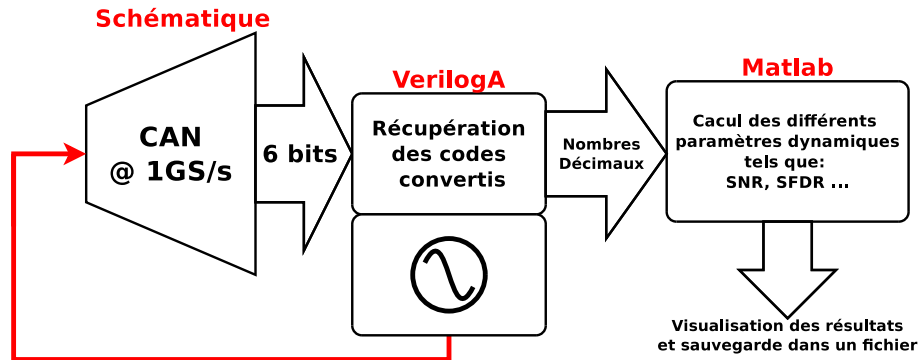


FIGURE 3.54 – Schéma de la mesure dynamique

Pour mesurer les paramètres dynamiques en simulation pour une fréquence donnée, il faut injecter une sinusoïde idéale en entrée à la fréquence F_{in} avec un signal d'horloge de 1 GS/s pour notre CAN. Le bloc verilogA génère cette sinusoïde et récupère le code de conversion correspondant au signal en sortie du CAN. Ce code est conservé dans un fichier, celui-ci est ensuite utilisé avec matlab pour effectuer l'analyse fréquentielle et en extraire les résultats dynamiques. Il faut réitérer cette étape pour plusieurs fréquences d'entrée afin d'avoir les résultats pour la bande totale de fonctionnement. Le tableau 3.7 détaille les résultats obtenus pour 200 points, l'ENOB est plus faible à 300 MHz qu'à 400 MHz car le nombre de points n'est pas assez élevé et amène une erreur sur la mesure. Plus on se rapproche de la fréquence de Nyquist plus il faut un nombre de points de mesure pour augmenter la précision. Les valeurs obtenues sont satisfaisantes jusqu'à 200 MHz et deviennent faibles pour répondre pleinement aux attentes du tableau 2.3 dans l'introduction de cette partie.

Le code Matlab utilisé se trouve en annexe E inspiré de [55].

TABLE 3.7 – Résultats dynamiques en simulation à 1 GS/s d'horloge avec 200 points de mesure

Fréquence d'entrée (MHz)	100	200	300	400
SNR	35,06	35,2	26,25	29,72
SFDR	50	27	27,5	30
ENOB	5,53	5,55	4,06	4,64

Les simulations permettent de valider les performances et de réaliser le dessin des masques malgré des valeurs en dynamiques qui sont plus faibles à partir de 200 MHz.

3.8.3 Consommation du circuit

La figure 3.55 montre la consommation totale du CAN en fonctionnant à 1 GS/s, sous forme de diagramme en « Camembert » pour mieux apprécier la répartition de la puissance consommée entre chaque bloc. La consommation totale du circuit est de 2 Watts. L'E/B consomme 39 % de la puissance totale du circuit, et les sorties LVDS consomment environ 17 % et la génération de l'horloge 12 %. L'architecture de base du CAN (comparateurs et numérique) consomme 30 % de la consommation totale. On peut voir par ce diagramme que les adaptations d'entrée (adaptation en puissance sur 100 Ω différentielle) et de la sortie (adaptation en tension), en ayant une bonne linéarité (SFDR > 40 dB), nécessitent une consommation importante pour pouvoir fonctionner en haute fréquence.

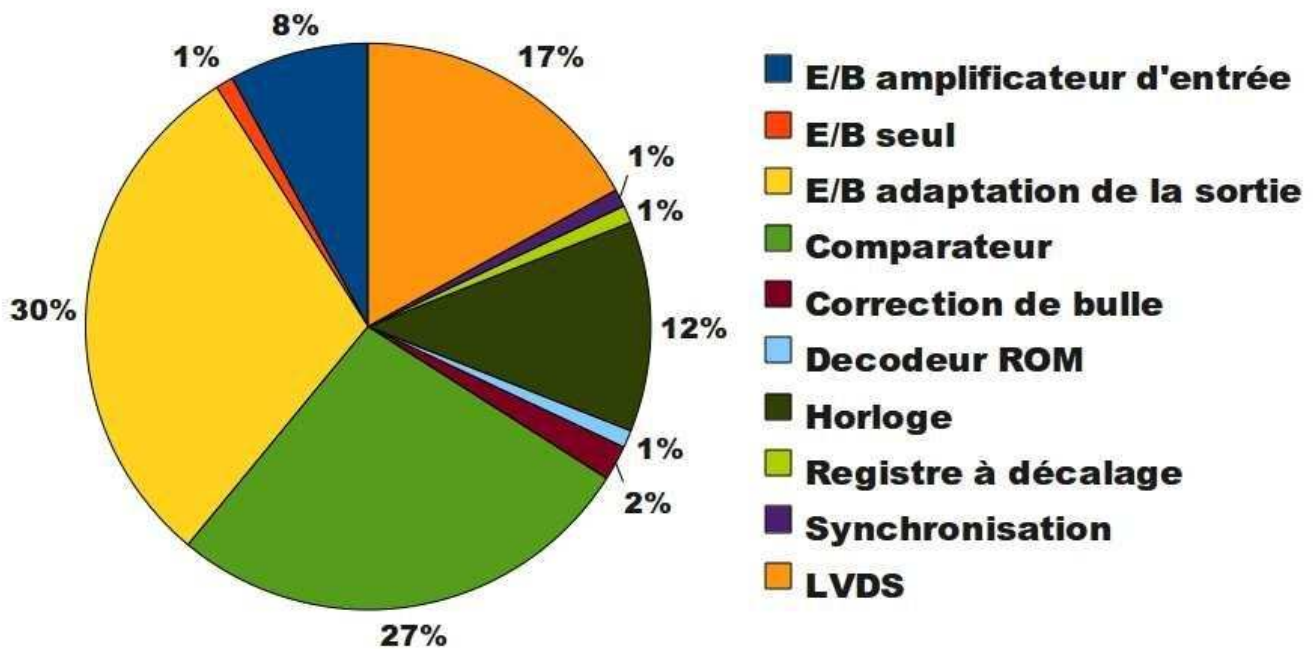


FIGURE 3.55 – Le pourcentage de consommation des différents composants du circuit pour une puissance totale de 2 Watts

Chapitre 4

Dessin de Masques

4.1 Introduction

Après avoir effectué une réalisation schématique ainsi que les simulations associées, nous allons procéder au dessin des masques. Dans un premier temps, nous présenterons les précautions prises ainsi que les différents moyens utilisés pour dessiner les différents masques. Cette partie est tout aussi importante que la simulation car elle va définir les performances au niveau de la puce. Cette dernière étape de conception permet d'avoir les résultats les plus proches de la réalité en simulant directement le dessin. Ensuite, le circuit sera envoyé en fonderie et aucune modification ne pourra être faite.

4.2 Diminution des éléments parasites et du mésappariement

Lors du dessin du masque, l'objectif est de diminuer les résistances, les capacités parasites, et le mésappariement entre les différents éléments pour rester le plus proche des résultats obtenus en simulation. De plus, le fondeur fournit des précautions à suivre ainsi que les limites des composants pour avoir un résultat optimum [56]. Des techniques sont aussi adoptées pour éviter les phénomènes de bruit engendrés par le substrat et le couplage entre les lignes (couplage diaphonique, « crosstalk » en anglais). Le mésappariement (« mismatch » en anglais) est un phénomène aléatoire dû aux fluctuations des dimensions. Les impacts peuvent être réduits par des techniques de réalisation adaptées à chacun des différents composants.

4.2.1 Les transistors

Les transistors ont plusieurs capacités parasites par rapport au substrat et entre ses différentes bornes (G, D, S pour un CMOS et B, C, E pour un NPN). On évite souvent de dessiner les transistors avec une largeur de grille ou une longueur d'émetteur élevées [57]. On préconise de diviser ce même

4.2. DIMINUTION DES ÉLÉMENTS PARASITES ET DU MÉSAPPARIEMENT

transistor en plusieurs transistors en parallèle.

Ainsi, pour un transistor MOS, on diminue la résistance parasite du silicium polycristallin qui forme la grille du transistor et on réduit les capacités de déplétion à la source C_{sb} et au drain C_{db} par rapport à la masse. La figure 4.1 présente le dessin d'un transistor NMOS en vue schéma ainsi que son dessin du masque.

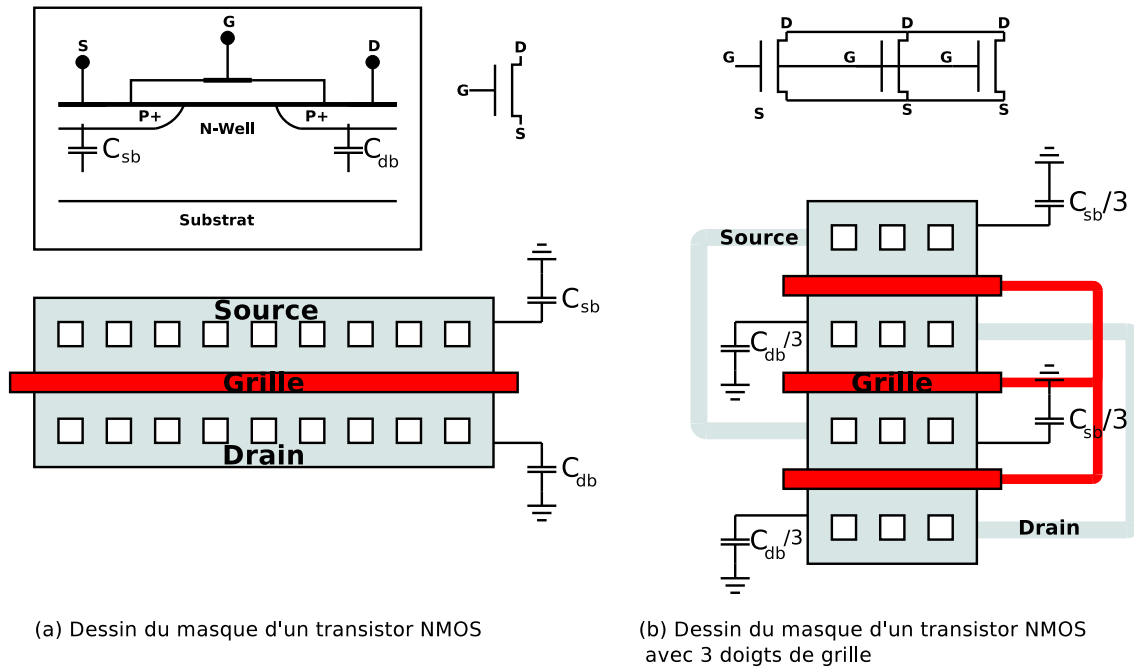


FIGURE 4.1 – (a) Transistor NMOS de forte largeur de grille (b) Transistor NMOS équivalent avec une faible largeur de grille

4.2.2 Les tailles des lignes et des vias

On considère la densité de courant lors de la réalisation des lignes. Il faut éviter de faire de longues lignes de métallisation. La résistance et la capacité sont directement dépendantes de la longueur et de la largeur des lignes. La densité de courant dépend de la largeur. Nous utilisons les couches M1 à M3 pour réaliser des lignes plus courtes que les couches M5 et M6 car elles ont une densité de courant plus faible et une résistivité plus élevée. Les couches M5 et M6 sont utilisées le plus souvent pour l'alimentation et pour acheminer les signaux d'horloge. De plus, il faut maximiser le nombre de contacts des vias (des transistors) lors de la réalisation, et prévoir la densité de courant qui vont les traverser, les vias ont une résistance parasite qui peut être minimisée en augmentant le nombre de contact sur les vias (figure 4.2).

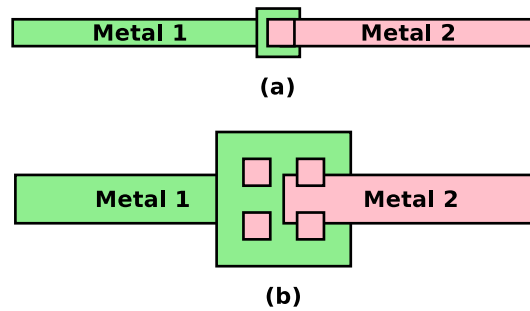


FIGURE 4.2 – Dessin de 2 vias : (a) très faible densité de courant, (b) forte densité de courant, 4 fois plus élevée que (a)

4.2.3 Les résistances

Pour les résistances, la diminution des capacités parasites se fait grâce à la couche DTI¹ que l'on place entre la résistance et le substrat afin de réduire de plus de 50% la capacité parasite entre eux.

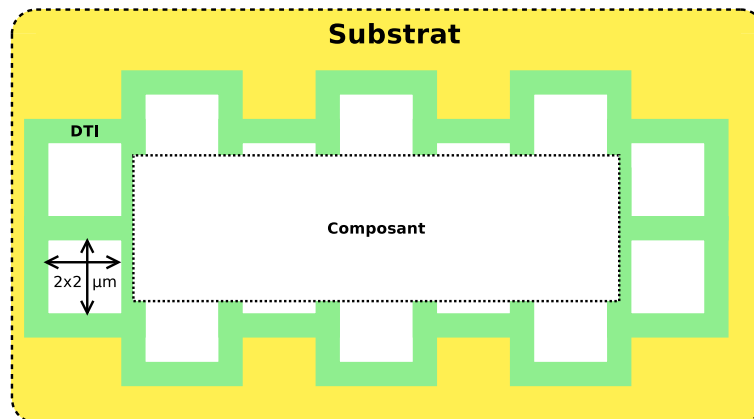


FIGURE 4.3 – Représentation du DTI réduisant la capacité du substrat

On utilise les résistances, le plus souvent pour la polarisation des paires différentielles. De ce fait, elles doivent être stables et ne pas avoir de variations l'une par rapport à l'autre. Plusieurs méthodes sont données par le constructeur (figure 4.4). Pour un appariement optimum, il faut choisir :

- le mode entrelacé ou centroïde commun.
- des résistances larges et donc longues

L'appariement est amélioré d'environ 40% en choisissant le mode entrelacé ou centroïde commun. Pour le dessin des éléments analogiques (comparateurs, E/B), toutes ces techniques ont été employées pour réduire le mésappariement et la différence entre les résultats des simulations « post-layout » et les résultats des simulations (en idéal).

1. Le DTI est une tranchée d'isolation profonde

4.3. L'ÉCHELLE DE COMPARETEURS DU CIRCUIT

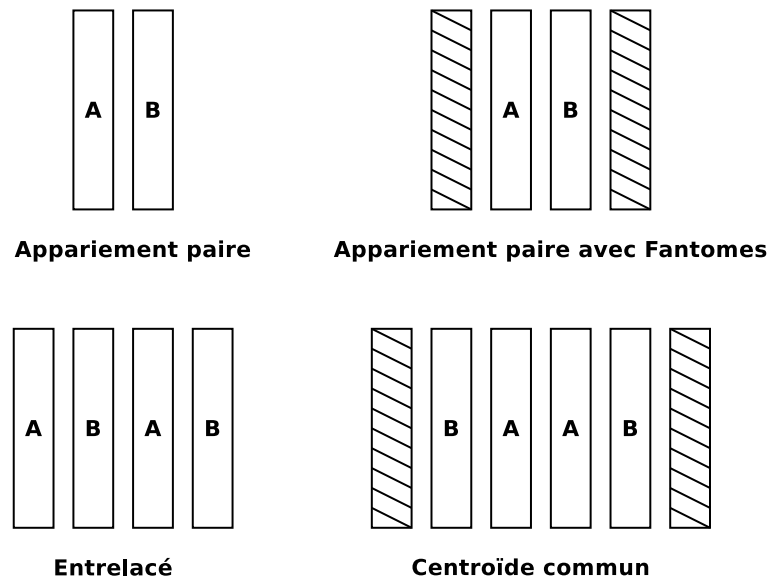


FIGURE 4.4 – Les différentes techniques d'appariement des résistances

4.3 L'échelle de comparateurs du circuit

L'échelle de comparateurs est le point critique au niveau du dessin du masque global. Nous avons choisi de dessiner les comparateurs en ligne comme sur le dessin schématique. L'échelle de comparateurs définit donc la taille et apporte une certaine difficulté au niveau de l'agencement.

4.3.1 Répartition de l'horloge

Sur ce premier circuit, l'horloge doit être répartie uniformément dans l'échelle de comparateurs et le numérique. Cependant, l'échelle de comparateurs mesure environ 2 mm de longueur. Pour éviter les problèmes de résistivité et de retard de l'horloge sur les différents comparateurs, l'échelle a été scindée en 2 parties égales afin d'amener l'horloge de part et d'autre des 2 blocs des 32 comparateurs (figure 4.5).

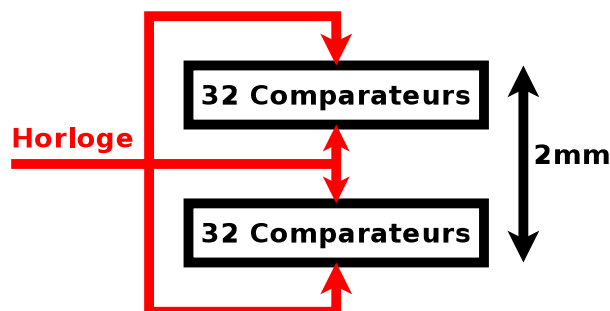


FIGURE 4.5 – Répartition de l'horloge

4.3.2 Échelle de résistances

La connexion entre l'échelle de résistances et les comparateurs peut être extrêmement complexe avec des lignes pouvant être très longues aux extrémités (figure 4.6.a). Pour améliorer l'interconnexion entre l'échelle de résistances et les comparateurs, nous avons plié l'échelle de résistance et intercalé les comparateurs pour éviter au maximum les croisements de lignes et diminuer leurs longueurs (figure 4.6.b). Pour l'échelle de résistance, des résistances de 20Ω sont employées. L'interconnexion entre chaque résistance doit avoir une résistivité très faible. La solution a été d'utiliser les 4 couches de métallisation pour effectuer les interconnexions afin de diminuer fortement la résistivité. En contre partie nous avons augmenté la capacité parasite qui dans notre cas, permet d'absorber le bruit de rebond.

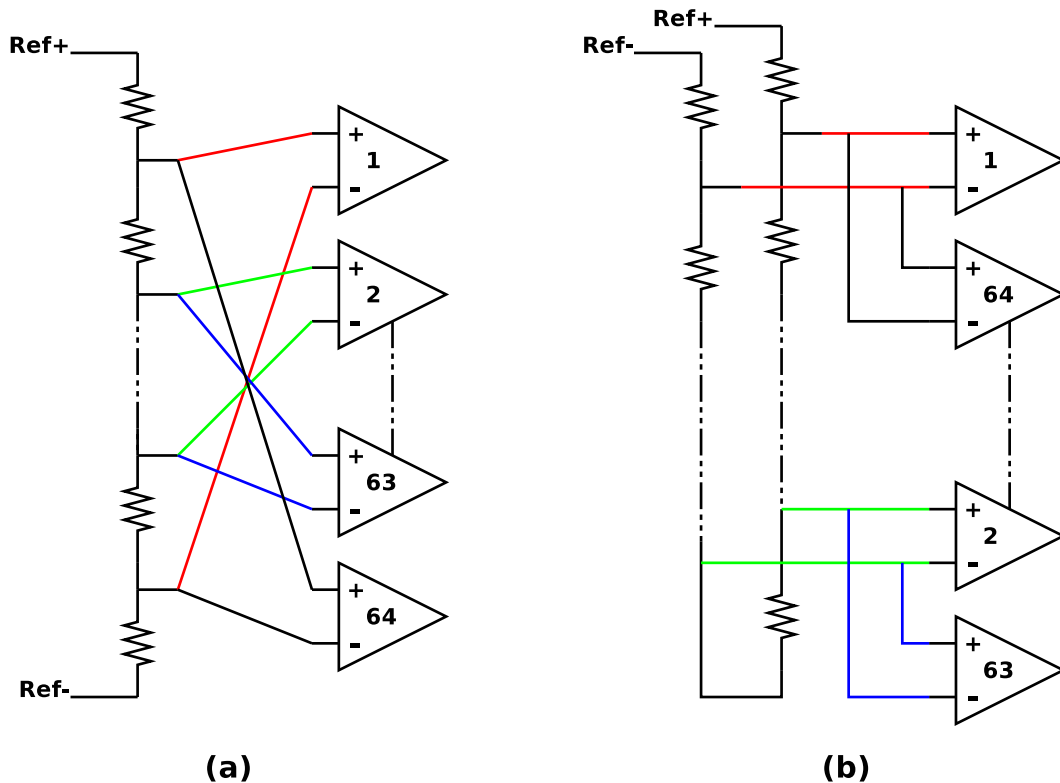


FIGURE 4.6 – Technique utilisée afin d'améliorer le routage de l'échelle de résistance. (a) Connexion avec des comparateurs successifs. (b) Connexion avec échelle de résistance pliée

Chapitre 5

Test et caractérisation

5.1 Banc de test

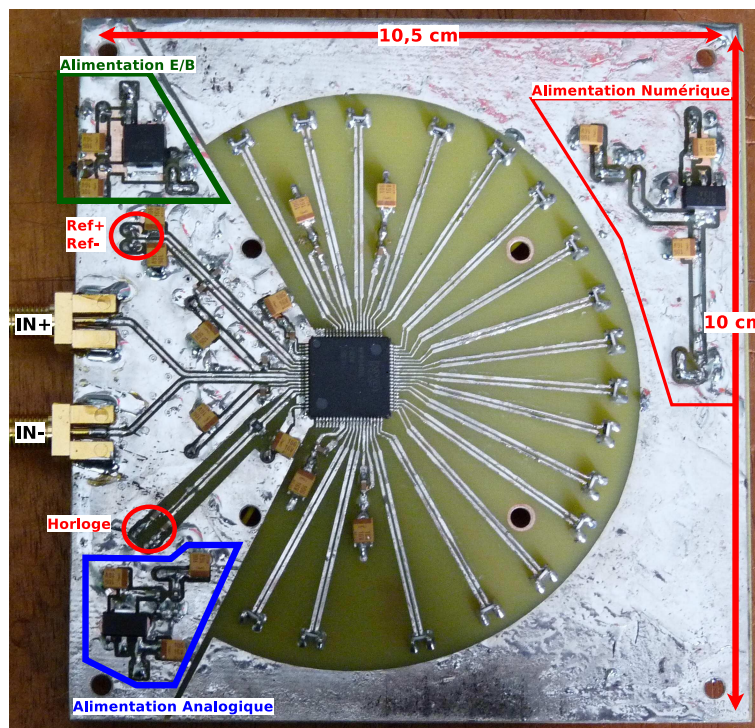


FIGURE 5.1 – Carte de test

La puce mise en boîtier de type QFP80 est soudée sur une carte de test (figure 5.1). Cette carte est confectionnée et réalisée dans notre laboratoire à l'aide d'un logiciel de CAO. En annexe C, nous détaillons la conception choisie pour le dessin des lignes afin de fonctionner aux fréquences atteignant le Giga Hertz. Les 3 alimentations sont générées séparément et le plan de masse analogique et numérique sont séparés.

5.2. RÉSULTATS EXPÉRIMENTAUX

La partie analogique utilise des lignes coplanaires couplées et la partie numérique utilise des lignes microrubans couplées car l'espacement entre les différentes paires différentielles ne permet pas d'utiliser le premier type de ligne qui a de meilleures performances (voir annexe C).

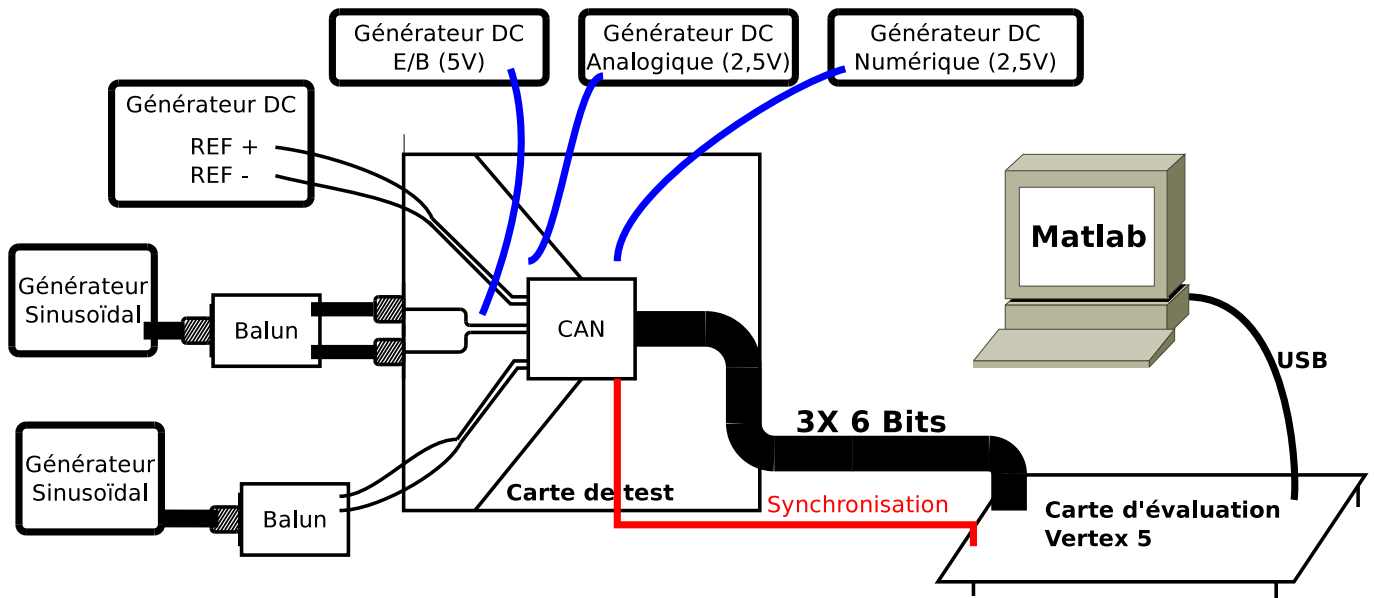


FIGURE 5.2 – Banc de test du CAN

Pour la récupération des points, on doit stocker les mots binaires en mémoire à chaque front montant du bit de synchronisation. Pour cela, on utilise une carte d'évaluation VERTEX 5 de la compagnie Xilinx. Après avoir sauvegardé un nombre conséquent de points, on transfère les points sur le logiciel matlab et on traite les données (code Matlab en annexe). La figure 5.2 illustre la configuration du banc de test réalisé.

5.2 Résultats expérimentaux

Plusieurs tests ont été effectués pour vérifier le fonctionnement du CAN à plusieurs fréquences d'horloge et plusieurs fréquences d'entrée. Les résultats sont présentés pour une fréquence d'horloge de 850 MHz, le CAN n'atteignant pas la fréquence d'horloge de 1 GS/s. On a obtenu un « bon » diagramme de l'oeil à 850 MHz d'horloge en sortie de chaque bit, ce qui valide le bon fonctionnement du CAN. En revanche, le diagramme de l'oeil n'est plus aussi bon pour les fréquences d'horloge supérieures à 850 MHz, les bits ne sont plus stables en sortie et les transitions sont incorrectes. Ce problème est causé par la génération d'horloge réalisée avec des inverseurs. De plus, l'E/B est cadencé avec un rapport cyclique 1/3 ce qui peut engendrer des erreurs suivant le retard réalisé.

5.2. RÉSULTATS EXPÉRIMENTAUX

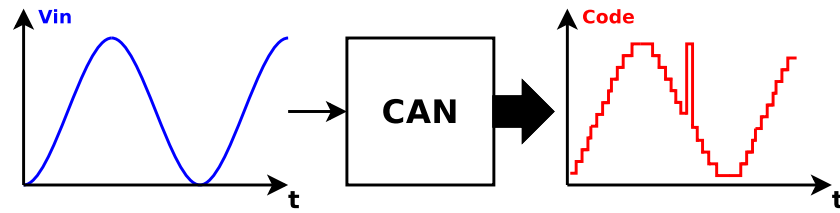


FIGURE 5.3 – Erreur du code observée sur Matlab pour une tension d'entrée de 50 MHz et une fréquence d'échantillonnage de 850 MHz

On valide donc le fonctionnement en vérifiant chaque bit avec le diagramme de l'oeil à une horloge de 850 MHz.

Pour vérifier le transfert des données, un signal rampe ne peut être fourni en entrée du CAN à cause de la capacité de liaison intégrée en entrée de l'E/B. Les tests sont effectués seulement en injectant un signal sinusoïdal. On a observé, en injectant une sinusoïde de faible fréquence (50 MHz), l'apparition d'une erreur au passage du code 32 (en binaire : 100000) au code 31 (en binaire : 011111), tous les bits passent alors au niveau haut obtenant ainsi le code 63 (en binaire : 111111), la figure 5.3 montre l'erreur observée. Ceci est une erreur connue des CAN et rend le CAN difficilement opérationnel dans son état actuel. Cependant, en corrigeant numériquement l'erreur observée, nous pouvons apporter une approximation des résultats dynamiques. Le code 63 est donc remplacé par le code 31 dans les données sauvegardées. Le tableau 5.1 présente les résultats dynamiques obtenus après correction.

Ce genre de problème est causé par la mémoire d'encodage binaire intégrée dans le CAN. La simulation ne fait hélas pas apparaître ce mauvais code mais ce dernier est mis en évidence avec la simulation du masque. En effet, les résistances et les capacités parasites sont les principales fautives. Les simulations du masque sont extrêmement longues donc la vérification « post-layout » peut durer plusieurs heures voir plusieurs jours. Le circuit complet n'a pas été vérifié intégralement. Cependant, nous avons réussi à obtenir quelques données malgré les erreurs.

TABLE 5.1 – Résultats dynamiques après correction des erreurs avec une fréquence d'horloge de 850 MHz à température ambiante (20°C)

Fréquence d'entrée (MHz)	10	50	100	200	300	423
SNR (dB)	25,5	26,2	25,2	24	24	22,6
SFDR (dB)	38,7	39,7	35	34	34	30
ENOB (dB)	3,87	3,94	3,79	3,47	3,51	3,25

On obtient un ENOB d'environ 4 bits en corrigeant manuellement le code erroné. On peut espérer obtenir un ENOB de 5,5 bits en remplaçant la ROM codée en binaire par une ROM en code Gray. On peut aussi en générer une horloge de rapport cyclique 1/2 pour ne pas avoir de problème de

fréquence avec des systèmes à retard.

5.3 Conclusion de l'étude du CAN à 1 GS/s

Cette première étude a permis de voir les différents aspects de conception d'un CAN et de définir les points critiques lors de cette conception. Le but était de concevoir un premier CAN 6 bits « flash » fonctionnant à 1 GS/s en technologie CMOS 0,25 μm . La fréquence maximum analogique en entrée à atteindre était de 500 MHz. De plus, l'objectif principal de ce premier circuit concernait surtout le test et la mesure. Nous avons également cherché à atteindre des performances similaires entre la simulation et le circuit testé.

Les résultats de mesures permettent de valider le circuit à une fréquence d'horloge de 850 MHz. Les paramètres dynamiques ont pu être définis après correction des erreurs, avec un ENOB proche de 4 bits pour une fréquence d'entrée analogique de 10 MHz, et inférieur à 3,5 bits à la fréquence de 423 MHz (moitié de la fréquence d'horloge ou fréquence de Nyquist).

Cependant, tous les objectifs ne sont pas atteints. Les erreurs obtenues mettent l'accent sur la conception de topologies numériques et la distribution de l'horloge. En effet, dans de tels circuits la distribution de l'horloge est primordiale et doit être considérée à part entière.

De plus, les simulations « post-layout » restent cruciales pour éviter des erreurs qui peuvent être corrigées avant l'envoi en fonderie.

Cette première étude illustre la difficulté de concevoir un circuit de cette envergure. La technologie CMOS 0,25 μm montre qu'il est possible de s'approcher d'une fréquence d'échantillonnage de 1 GS/s avec une bande d'analyse de 500 MHz malgré une consommation électrique forte (2 Watts). Les simulations donnent de bons résultats pour une architecture flash à 1 GS/s avec un ENOB > 5 bits à 200 MHz de fréquence d'entrée. Les erreurs statiques demeurent convenables. Toutes les performances obtenues sont bonnes si l'on considère la finesse de gravure de 0,25 μm des transistors MOS avec une fréquence d'échantillonnage pouvant atteindre 1 GS/s.

Cette deuxième partie a fait l'objet d'une étude approfondie du bloc E/B et du bloc comparateur en ayant une méthodologie particulière afin d'atteindre nos objectifs précédemment décrits. Nous avons développé l'étude des différents blocs et proposé des solutions au dessin du masque ce qui a permis d'accorder les simulations et les mesures tout en diminuant les éléments parasites.

Finalement, la carte de test développée dans le laboratoire a aussi mis l'accent sur la propreté de sa conception afin de pouvoir effectuer des mesures en ayant le moins de pertes possibles (choix judicieux de largeurs des lignes coplanaires).

5.3. CONCLUSION DE L'ÉTUDE DU CAN À 1 GS/S

Les modifications et améliorations effectuées résident dans la distribution de l'horloge et dans le codage réalisé par la ROM. Pour la distribution de l'horloge, il faut rester en rapport cyclique 1/2 (circuit réalisé avec une horloge rapport 1/3) pour éviter un dysfonctionnement à différentes fréquences. Ceci engendre une amélioration de la sensibilité des architectures de l'E/B et des comparateurs. Pour améliorer la conversion du code thermomètre en un code binaire, la conversion doit s'effectuer en 2 étapes. Premièrement, le code thermomètre doit être converti en code Gray à l'aide d'une ROM, puis le code Gray est reconverti en un code binaire à l'aide d'un système à porte logique simple [58]. Pour l'E/B, l'amélioration réside dans l'augmentation du SFDR et la diminution de la consommation électrique. Enfin, le comparateur peut être amélioré en diminuant les variations de performances dues aux variations de process et au mésappariement (simulations Monte-Carlo).

Le but était de concevoir un premier CAN de type flash. Malheureusement, avec les déviations intrinsèques des transistors MOS associés à une finesse de gravure de $0,25\ \mu m$, les résultats montrent qu'il est difficile d'atteindre une bande supérieure à 500 MHz malgré une forte consommation électrique.

Cette première conception d'un convertisseur analogique numérique rapide a permis de constater la limite des performances des transistors MOS $0,25\ \mu m$ pour une utilisation en radioastronomie en bande L. Nous avons donc décidé d'utiliser les transistors bipolaires pour la conception du second CAN (E/B, comparateurs, parties numériques). Les transistors NPN ont une fréquence de transition bien plus élevée. Ils permettent de monter plus haut en fréquence et ont une déviation intrinsèque plus réduites (variation des performances des comparateurs relativement faible en fonction de la variation du process et du mésappariement).

La suite de cette thèse s'oriente donc sur la conception d'un second CAN réalisé en logique à émetteur couplé dite : ECL (Emitter Coupled Logic acronyme en anglais). Cette logique numérique est très rapide, elle est basée sur des transistors bipolaires.

5.3. CONCLUSION DE L'ÉTUDE DU CAN À 1 GS/S

Troisième partie

Étude et réalisation d'un CAN flash à
3 Giga échantillons par seconde en
transistors bipolaires SiGeC 0,25 μm

Introduction

Afin d'atteindre les objectifs d'un CAN pouvant convenir aux radiotélescopes de nouvelle génération en bande L, l'usage des transistors MOS $0,25\ \mu m$ est insuffisant (premier circuit). Une des solutions est d'utiliser des processus dont la finesse de gravure est beaucoup plus faible que celle utilisée dans le premier circuit. Une technologie CMOS 65 nm est donc envisageable à condition de ne pas s'attarder sur le coût prohibitif du prototypage. Hors, pour avoir l'avantage du faible coût, nous avons choisi de concevoir un CAN en utilisant des transistors bipolaires NPN de la bibliothèque Qubic4X de NXP. Nos études bibliographiques nous ont montré que la logique à émetteur couplée (ECL) pourrait satisfaire nos attentes.

A la suite de recherches [59] [60] [61] [62] [63], l'utilisation de transistors bipolaires en logiques différentielles est donc ressortie. Notre second CAN concerne des architectures à base de transistors bipolaires NPN. L'objectif est d'avoir une très large bande de fréquence analogique d'entrée comprise entre 100 et 1500 MHz soit une fréquence d'échantillonnage minimum de 3 Giga échantillons par seconde (GS/s). Dans un premier temps, les logiques ECL et CML sont présentées ainsi que quelques notions de base complémentaires à celles présentées dans la deuxième partie, accompagnées de topologies de portes logiques utiles à l'étude.

Cette partie du mémoire est divisée en 3 chapitres : l'étude et la simulation, la conception du masque du CAN et les résultats de simulations « post-layout ».

Le premier chapitre traite des études et des compromis choisis pour les différents blocs réalisés pour la conception du CAN : E/B, comparateur, numérique et un système en vue des tests ultérieurs. L'E/B est conçu à partir d'une architecture en bipolaire respectant une adaptation en puissance en entrée et une impédance de sortie faible. Cette architecture consomme moins de puissance électrique. Les comparateurs sont basés sur une structure de « bascule D », nous obtenons alors un très faible « quantum ». Plutôt que d'utiliser une ROM comme dans le premier circuit, un décodeur à arbre est employé. En effet, ce décodeur permet de monter plus haut en fréquence contrairement au décodeur à base de ROM [64]. Afin de pouvoir valider la transmission des données numériques de sorties vers une carte de test, un système composé de plusieurs éléments est intégré avec le CAN. De plus, 2 bits de dépassement (overflow et underflow) sont aussi ajoutés.

Dans le deuxième chapitre, nous donnons des règles pour dessiner ce second masque. Elles sont différentes de celles citées pour le premier CAN et viennent les compléter. Nous proposons des améliorations concernant le placement des éléments afin de diminuer la taille du masque de la puce.

Le troisième chapitre présente les résultats de simulations statiques et dynamiques obtenus en prenant en compte les capacités et les résistances parasites extraites (simulation « Post-layout »). Le dernier chapitre présente enfin les 2 bancs de test qui seront utilisés pour évaluer les performances mesurées du circuit.

Une conclusion sur cette seconde étude clôture cette partie en récapitulant les performances et les améliorations possibles à apporter.

Dans cette seconde étude de CAN, les aspects théoriques des CAN ne sont pas abordés, les méthodes de simulation et de caractérisation restent identiques à celles du premier CAN.

Les spécifications ciblées pour ce second CAN sont résumées dans le tableau 5.2.

TABLE 5.2 – Spécifications ciblées pour le CAN

Tension d'alimentation analogique E/B (V)	2,5
Tension d'alimentation analogique (V)	2
Tension d'alimentation numérique (V)	2
Fréquence d'échantillonnage (GS/s)	3
Consommation (W)	<2
Résolution (bits)	6
ERBW (MHz)	>1400
SNDR (dB)	> 36
SFDR (dB)	> 40
DNL (LSB)	0,5
INL (LSB)	0,5
Plage dynamique de l'entrée différentielle (V)	0,5
V_{LSB} (mV)	4

La logique ECL

La logique à émetteur logique couplé (ECL, Emitter Coupled Logic) date de 1956, elle est peu utilisée dans les systèmes classiques d'aujourd'hui car elle consomme plus que la logique CMOS [65]. Avant les années 1980, l'utilisation de la logique ECL était courante. L'ECL par définition utilise des transistors bipolaires, ses différentes structures étant différentielles. Cette famille logique permet une haute vitesse de fonctionnement [66].

Le principe est d'éviter la zone de saturation du transistor en limitant le courant dans l'émetteur. La zone de saturation réduit la fréquence de fonctionnement par le temps de stockage de charge dans la base [67]. La plage de fonctionnement est de 0,8 Volts maximum. Les portes ont une impédance d'entrée élevée et une impédance de sortie faible. Les commutations s'effectuent donc rapidement grâce à ces différents paramètres. L'inconvénient est la consommation constante de puissance qui est plus élevée qu'en logique CMOS. Cependant, les signaux étant de plus petite amplitude, les marges de bruit sont plus faibles. On utilise généralement des amplitudes plus faibles afin de diminuer la consommation totale, l'amplitude des signaux varie de 0,3 à 0,6 Volts. Nous avons opté pour une tension de 0,35 V. Ainsi, une très haute rapidité est obtenue pour des amplitudes faibles. Il faut cependant choisir une valeur minimum (0,3 V) pour ne pas être parasité par des problèmes divers dus à l'adaptation des portes et à la métastabilité.

Le CML (Common Mode Logic), la logique en mode commun, emploie le même procédé sauf que l'on ne retrouve pas le même niveau logique en entrée et en sortie. Pour cela, des étages collecteur-commun permettent de retrouver les niveaux logiques pour le traitement. Les niveaux de sortie sont : V_{CC} (l'alimentation) pour l'état haut et ($V_{CC}-0,4$ V) pour l'état bas. On obtient une plage différentielle de 800 mV_{pp} . Les spécifications du CML sont données dans le tableau 5.3. La figure 5.4 montre les niveaux logiques utilisés pour la logique ECL. Enfin, cette logique est plutôt utilisée dans des architectures à base de transistors MOS. L'étude de schéma en CML nous a permis de mieux comprendre les adaptations entre les différents blocs logiques.

TABLE 5.3 – Spécifications de la norme CML

Paramètres	Min	Typ	Max
Tension de sortie Différentielle (mV_{pp})	640	800	1000
Tension en mode commun de sortie (V)	—	$V_{CC} - 0,2$	—
Niveau de tension d'entrée (V)	$V_{CC} - 0,6$	—	$V_{CC} + 0,2$
Plage différentielle d'entrée (mV_{pp})	400	—	1200

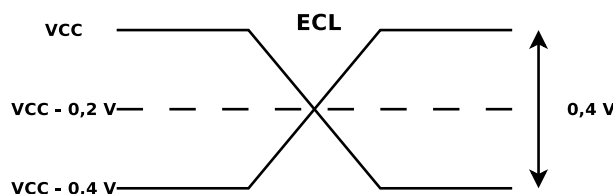


FIGURE 5.4 – Niveaux logiques de la norme ECL

Dans la suite de la thèse, la partie numérique est exclusivement réalisée avec des portes en ECL. Une bibliothèque a été élaborée avec les différents blocs numériques utiles. Elle comprend les portes logiques ainsi que des bascules D sur niveaux et sur fronts.

Les portes Logiques ECL étudiées

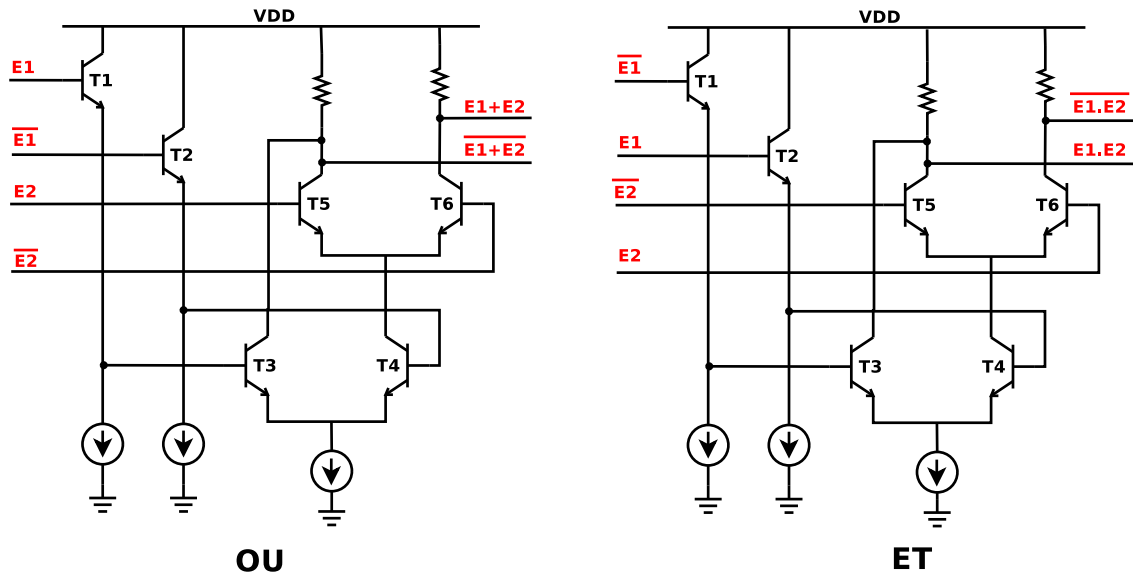


FIGURE 5.5 – Porte logique OU et ET avec des transistors bipolaires

En logique ECL, toutes les portes sont basées sur la même structure différentielle [68]. Elles fournissent un état logique complémentaire, il est donc facile de passer de la porte « OU » à la porte « NON-OU » car nous pouvons intervertir les sorties. D'autre part, on peut passer de la porte « OU » à la porte « ET » comme le montre le théorème de De Morgan en intervertissant les entrées et les sorties :

$$\overline{\overline{a} + \overline{b}} = a.b \quad (5.1)$$

Le schéma de la porte « OU » et « ET » est en figure 5.5. La porte « OU » est constituée d'un étage collecteur commun et de 2 étages émetteurs communs. La polarisation en courant de chaque porte est réalisée à l'aide de résistance dans notre étude.

On peut décrire le fonctionnement de la porte de la manière suivante :

Lorsque E_1 est à l'état haut et quelque soit E_2 :

- T3 devient passant et T4 devient bloqué.
- T5, T6 sont dépolarisés.

→ La sortie passe au niveau haut

Lorsque E_1 est à l'état bas :

- T4 devient passant.
- T5, T6 sont polarisés.

E_2 est à l'état haut :

→ La sortie est à l'état haut

E_2 est à l'état bas :

→ La sortie est à l'état bas

La bascule D

Comme dans la logique CMOS, la bascule D est une fonction très utilisée pour son effet mémoire. Comme pour les portes ECL de base, elle est totalement différentielle. On obtient donc D et \bar{D} , $Horloge$ et $\bar{Horloge}$, et en sortie Q et \bar{Q} . En figure 5.6 se trouve le schéma de la bascule D. Cette bascule fonctionne sur front d'horloge. Elle est constituée de 2 bascules sensibles sur niveaux.

Lorsque l'horloge est à l'état bas :

- Les paires T1,T2 et T11,T12 sont polarisées.
- La 1^{ère} bascule est passante.
- La 2nd bascule est bloquée.

Lors du passage de l'horloge au niveau haut :

- Les paires T5, T6 et T7, T8 deviennent polarisées.
- D est figé sur \bar{F} en sortie de la 1^{ère} bascule
- La sortie de la 2nd bascule est passante.
- $Q = \bar{F} = D$

On obtient ainsi la fonction mémoire désirée.

Il est donc possible de réaliser tous les types de fonctions numériques utilisés en logique CMOS, en logique ECL. L'essentiel des études décrites ci-dessous réside dans la partie analogique du CAN, c'est à dire l'échantillonneur bloqueur et le comparateur.

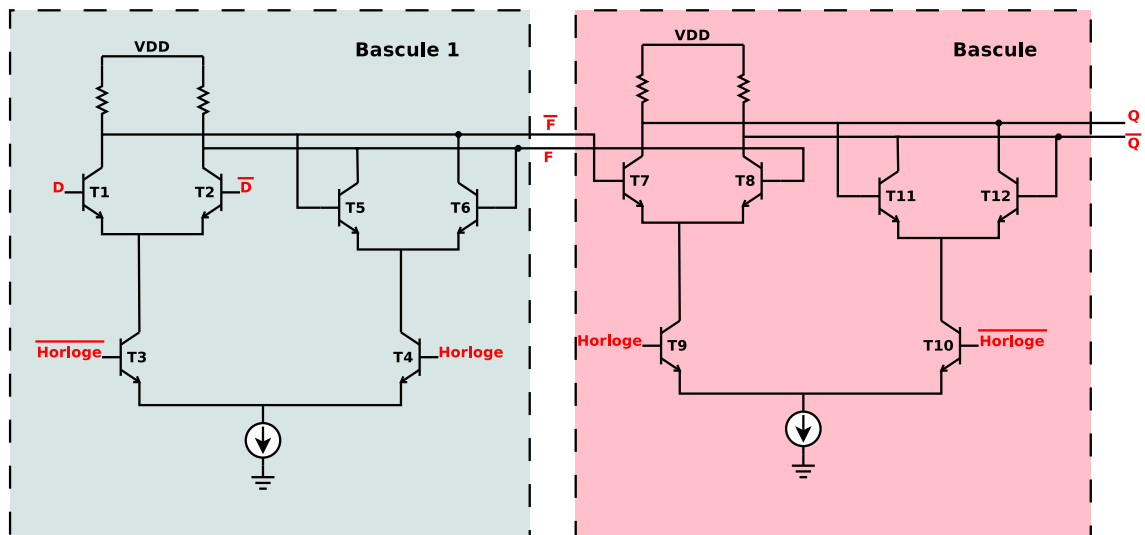


FIGURE 5.6 – Schéma d’une bascule D avec des transistors bipolaires

Chapitre 6

Simulation et réalisation

6.1 Echantillonneur bloqueur en bipolaire

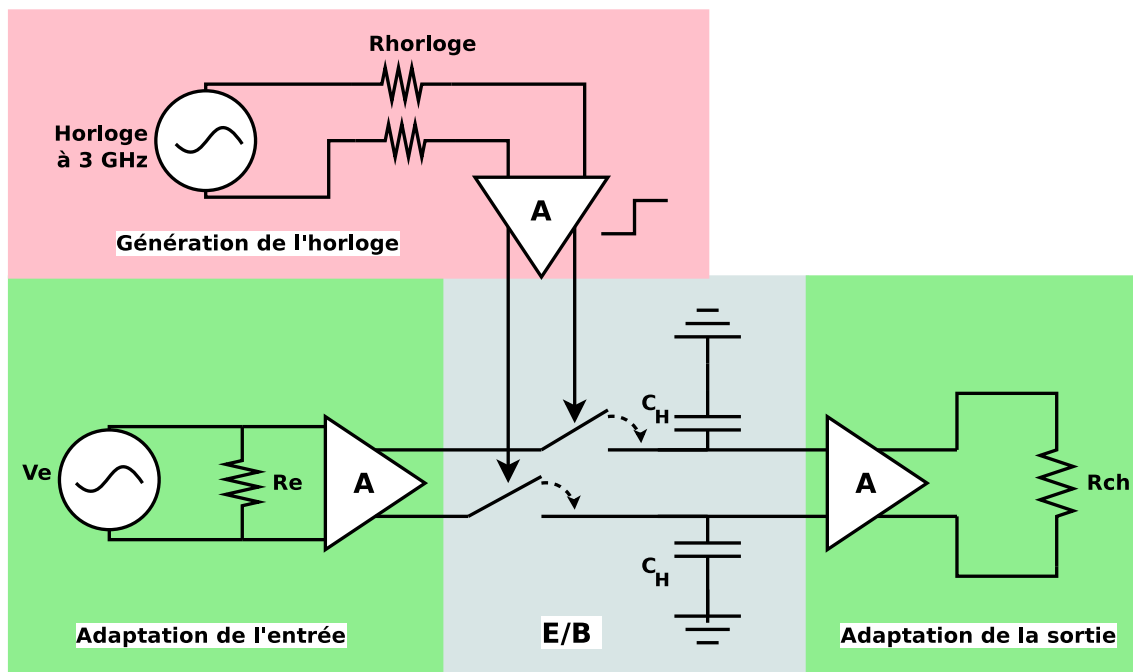


FIGURE 6.1 – Schéma de principe de l'E/B avec prise en compte de la génération d'horloge

Selon le même principe que le premier CAN, cet E/B est constitué de 3 parties. Une topologie à collecteur commun est utilisée en entrée et effectue une adaptation de l'entrée en puissance. En sortie, on utilise une topologie à 2 collecteurs communs pour obtenir une faible impédance de sortie et attaquer l'échelle de comparateurs. La figure 6.6 présente l'architecture de l'E/B complet avec les différentes parties à traiter.

6.1.1 Spécifications ciblées pour l'E/B

Pour une fréquence d'horloge de 3 GS/s avec une fréquence d'entrée de 1.5 GHz, il est difficile d'avoir un E/B avec de très bonnes performances de conversion du passage de l'état passant à l'état bloqué. Dans ce CAN à 3 GS/s, l'architecture de l'E/B avec des transistors bipolaires NPN est basée sur une topologie présentée ci-dessous [69] [70] [71]. Pour ce CAN, l'E/B ne devra pas amplifier ce qui réduit la consommation de cette fonction. La structure sera donc plus simple, l'ajout d'un étage amplificateur ne semble pas ici nécessaire. En effet, l'utilisation de transistors NPN permet de limiter les pertes de l'E/B. Le gain de ce dernier reste identique en fonction de la fréquence. Enfin, pour s'assurer que la résolution de l'E/B ne gênera pas l'ENOB du CAN, la résolution de cet E/B devra être supérieure à l'ENOB. Le tableau 6.2 récapitule les attentes.

TABLE 6.1 – Spécifications ciblées pour E/B

Tension d'alimentation (V)	2,5
Fréquence d'échantillonnage (GS/s)	> 3
Bande Passante (MHz)	100 - 1500
Consommation (W)	< 0,2
Résolution (bits)	6
Adaptation de l'entrée S_{11} (dB)	> -12
Impédance de sortie (Ω)	< 10
SNDR (dB)	> 36
SFDR (dB)	> 40
Plage dynamique d'entrée (V)	0,5
Plage dynamique de sortie (V)	0,3

6.1.2 L'interrupteur et la capacité de charge de l'E/B

L'interrupteur est la partie critique de l'E/B, les performances sont directement liées à la commutation de cet interrupteur. [69] [70] ont de très bons résultats atteignant des résolutions de 10 bits à 1 GS/s de fréquence d'échantillonnage avec une bande de 500 MHz , [71] avec une fréquence d'échantillonnage de 10 GS/s avec une fréquence d'entrée de 1 GHz obtient une précision de 6,8 bits. Chacun d'entre eux utilise un transistor NPN en mode collecteur commun commuté à l'aide de transistors mis à la masse. Ce type de topologie est aussi appelé un émetteur suiveur commuté (Switched Emitter Follower : SEF) [72]. Ce circuit peut avoir un très bon SFDR et peut fonctionner très haut en fréquence grâce au collecteur commun [14]. La figure 6.2 montre le schéma d'un SEF.

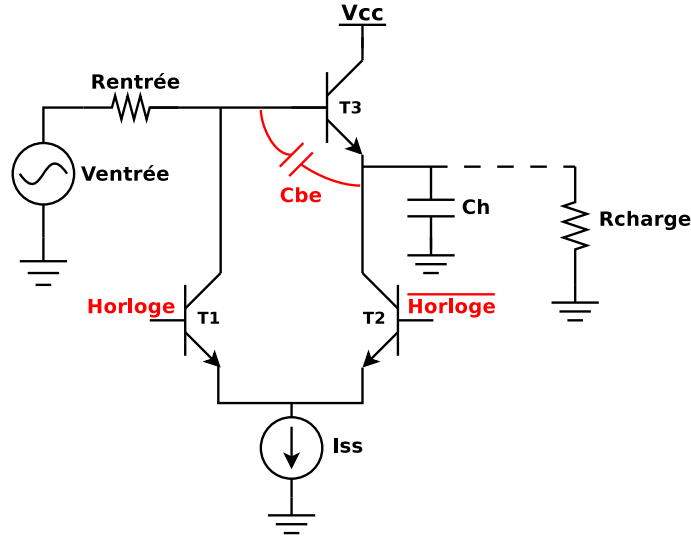


FIGURE 6.2 – Schéma de l'émetteur suiveur commuté (SEF)

Dans ce circuit, T3 est en mode de fonctionnement collecteur commun (collecteur à une masse RF) qui sert d'interrupteur, avec T1 et T2 la paire différentielle de contrôle. C_{be} est la capacité de charge. Les différents paramètres de vitesse (slew rate), de largeur de bande, et de fuite (droop rate, piédestal, feedthrough) sont très importants à ces fréquences de fonctionnement. Nous allons déterminer les différentes composantes pour améliorer les caractéristiques du SEF.

La vitesse

La vitesse (slew rate : SR) détermine le temps nécessaire pour l'E/B à acquérir la donnée durant la phase de suivi. Elle est directement dépendante de la capacité C_h . Elle est définie de la façon suivante :

$$SR = I_{ce}/C_h \quad (6.1)$$

I_{ce} est le courant de polarisation et C_h est la capacité de charge.

La bande passante

La bande passante est donnée par la capacité de charge, elle s'exprime par :

$$BP = \frac{1}{2\pi \cdot R_C \cdot C_h} \quad (6.2)$$

R_C résistance équivalente perçue par la capacité C_h pendant la phase de suivi.

Feedthrough

Dans tous les interrupteurs, il y a une capacité de perte plus ou moins grande lors du passage en mode bloqué. Pour le SEF, la capacité de perte se trouve au niveau du transistor bipolaire T_3 , la capacité parasite base-émetteur C_{be} (figure 6.3). Pour minimiser l'erreur, on peut diminuer la capacité C_{be} et augmenter la capacité de charge C_h .

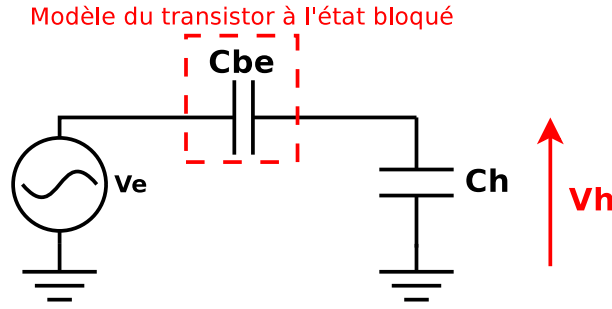


FIGURE 6.3 – Modèle simplifié en mode bloqué

Dans [69] [70], il est proposé de réduire le « feedthrough » en intégrant un « anti-feedthrough » réalisé par une série de 2 jonctions base-émetteur. Dans un circuit différentiel, elles sont placées entre la base du transistor T_3 (point A) et la sortie inverse.

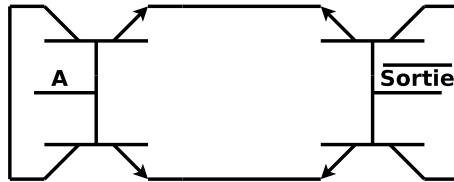


FIGURE 6.4 – Anti-feedthrough

Dans l'E/B conçu ici, cet anti-feedthrough n'est cependant pas intégré, puisque nos performances sont assez bonnes.

Droop rate

Le Droop Rate (DR) est la perte constante de charge durant la phase bloquée. le DR est dû à la charge des éléments en aval du circuit SEF. La charge de la capacité peut être notée :

$$Q_{Ch} = C_h \cdot V_h \quad (6.3)$$

6.1. ECHANTILLONNEUR BLOQUEUR EN BIPOLAIRE

Le courant traversant la charge peut être écrit de la suivante :

$$I_b = C_h \cdot \frac{\Delta V_h}{\Delta T} \quad (6.4)$$

On peut en conclure le DR :

$$DR = \frac{\Delta V_h}{\Delta T} = \frac{I_b}{C_h} \quad (6.5)$$

I_b courant à la base du transistor T_3 .

Pour diminuer le DR, il faut réduire le courant de la base et augmenter la capacité de charge. On utilise la même méthode pour diminuer le « feedthrough ».

Le piédestal

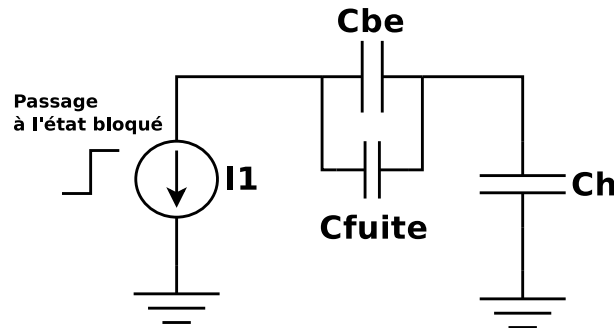


FIGURE 6.5 – Modèle simplifié pour l'erreur du piédestal

Le piédestal apparaît au changement d'état du mode suivi au mode bloqué dû à la commutation des transistors de contrôle T_1 et T_2 . Il est causé par une pointe de courant à la base de T_3 lorsque T_1 est passant. On peut le visualiser sur le modèle simple en figure 6.5. Une quantité de charge s'ajoute à celle de la capacité C_{be} durant le temps que le transistor T_1 met pour passer de l'état passant à l'état bloqué. On peut l'exprimer par :

$$V_H = \frac{I_1}{C_{be}} \cdot T_b \quad (6.6)$$

T_b est le temps que met T_1 pour passer de l'état passant à l'état bloqué.

6.1.3 L'échantillonneur bloqueur développé

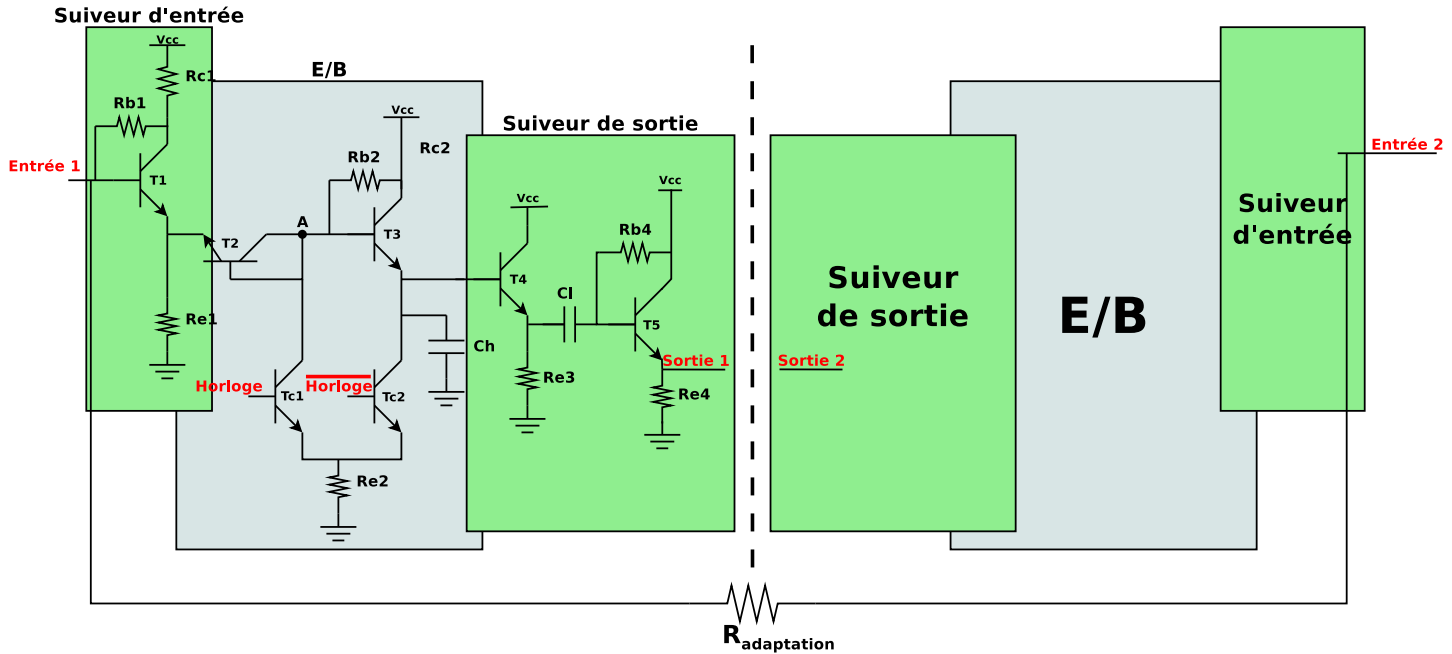


FIGURE 6.6 – Schéma réalisé de l'E/B différentiel

Après cette étude concernant la topologie à émetteur suiveur commuté, nous avons réalisé un schéma complet en figure 6.6. Le schéma est composé de 3 parties [73] comme pour le précédent E/B :

- un interrupteur et une capacité, réalisant le suivi et le blocage.
- un collecteur commun qui assure une adaptation en tension en entrée de l'interrupteur et une adaptation en puissance en entrée de l'E/B global.
- 2 étages collecteurs communs en sorties qui assurent une adaptation en tension en sortie de l'interrupteur et une très faible impédance de sortie de l'E/B global, cela pour être cascader convenablement à l'échelle de comparateurs. Un seul collecteur commun nous a semblé insuffisant pour assurer convenablement ces deux fonctions (haute impédance d'entrée et faible impédance de sortie) tout en préservant le SFDR. Nous remarquons que la capacité C_l ajoutée en cascade entre les deux collecteurs communs fait office de capacité de liaison. Sa valeur choisie ne gêne en rien le comportement temporel de l'E/B mais limite le fonctionnement très basse fréquence (< 100 MHz).

Rôle du transistor T_2

Le transistor T_2 est connecté en diode, c'est à dire la base et le collecteur reliés. Cela permet de ramener au point A (entrée de l'interrupteur) le potentiel de l'entrée 1.

6.1. ECHANTILLONNEUR BLOQUEUR EN BIPOLAIRE

Aussi, lorsque l'horloge est au niveau bas, T_2 est non passant et le point A est déconnecté de l'entrée. Cela permet d'isoler l'interrupteur de l'entrée lorsque celui-ci se trouve à l'état ouvert. Lorsque l'horloge est au niveau haut, T_2 est passant, le potentiel de l'entrée 1 se trouve au point A.

Adaptation de l'entrée

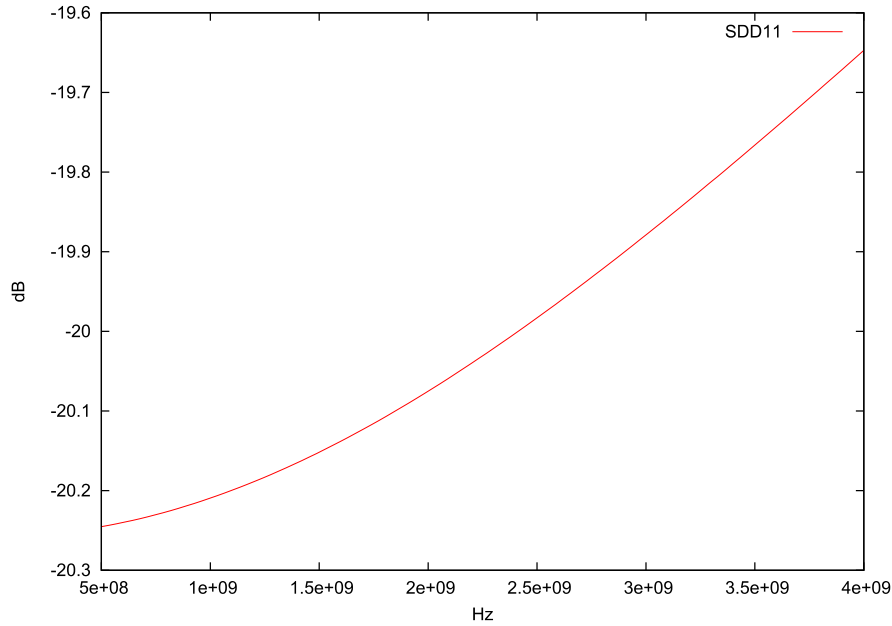


FIGURE 6.7 – Simulation du paramètre Sdd_{11} , en entrée de l'E/B

L'adaptation en puissance de l'entrée (impédance $100\ \Omega$ différentiels) est réalisée par un collecteur commun (défini dans la première partie) dont l'entrée est court-circuitée par une résistance (shunt) pour améliorer l'adaptation (cela découple mieux l'impédance d'entrée de son de fonctionnement DC). La résistance R_{b1} amène la polarisation à l'entrée et augmente le Sdd_{11} (défini lors de la conception du premier E/B. $R_{adaptation}$ est égale à $460\ \Omega$). La figure 6.7 indique le résultat de simulation avec une très bonne adaptation en entrée du circuit.

Impédance de sortie

L'impédance de sortie est obtenue en cascade 2 collecteurs communs avec une capacité de liaison entre les deux. Cette capacité de liaison permet de cascader deux étages en mode collecteur commun sans dégrader le potentiel de sortie que nous voulons égal à $1,5\text{ V}$. Cependant, cette capacité dégrade légèrement le « droop rate », mais cela a été jugé acceptable. Ainsi, les deux collecteurs communs en cascade permettent d'avoir une impédance de sortie qui ne varie pas quelque soit le mode ouvert ou fermé de l'E/B. La figure 6.8 montre le résultat de simulation de la partie réelle de l'impédance de sortie pour une impédance différentielle de source de $100\ \Omega$.

6.1. ECHANTILLONNEUR BLOQUEUR EN BIPOLAIRE

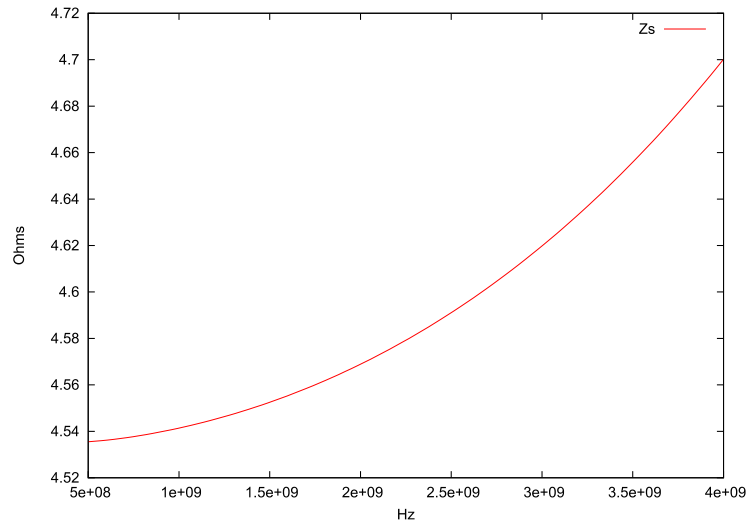


FIGURE 6.8 – Impédance de sortie de l'E/B obtenue en simulation

Gain de la structure

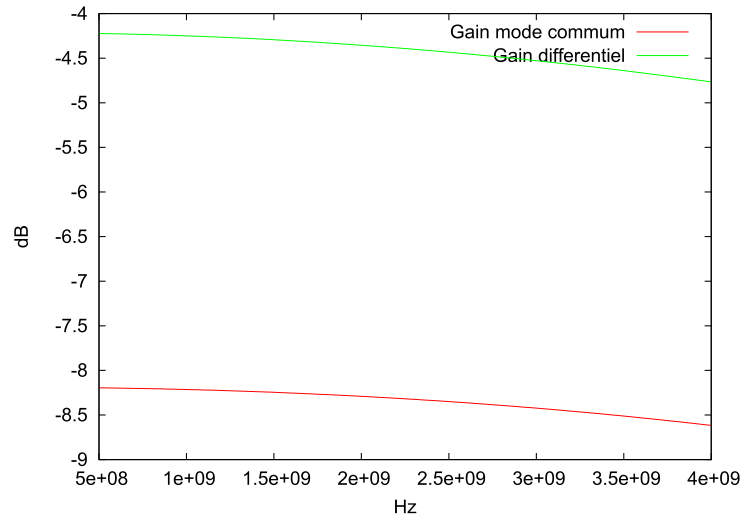


FIGURE 6.9 – Gain en tension du mode différentiel et gain en tension du mode commun de l'E/B

La figure 6.9 montre les gains en tension en mode différentiel et en mode commun lorsque l'E/B est en mode suivi (ou l'interrupteur fermé). Le gain en tension est défini ici comme la tension en sortie de l'E/B aux bornes d'une impédance de charge infinie par rapport à la tension du générateur en entrée de l'E/B. Ce générateur est défini avec une impédance de source égale à 100Ω différentielle. La cellule a un gain en mode différentiel de -4,2 dB à 100 MHz et de -4,3 dB à 1500 MHz. Ce gain reste plat dans la bande de fréquence utilisée avec seulement une variation de 0,1 dB. Le gain en mode commun est égal à -8,2 dB dans la bande [100 - 1500 MHz].

6.1. ECHANTILLONNEUR BLOQUEUR EN BIPOLAIRE

On obtient alors un taux de réjection en mode commun (TRMC) de 4 dB dans cette bande de fréquence. La structure ne génère pas de gain, donc la valeur du TRMC est suffisante pour cette étude.

6.1.4 Résultat temporel en simulation

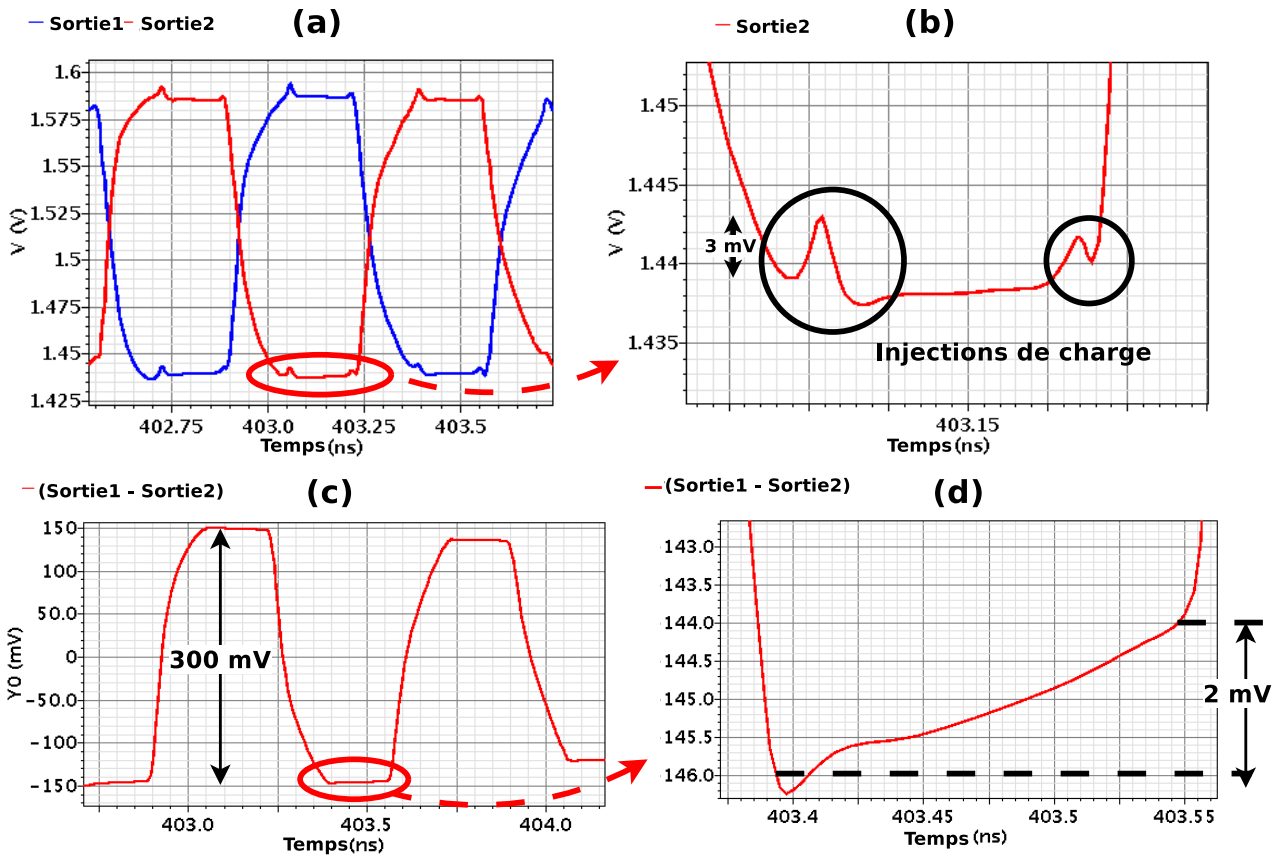


FIGURE 6.10 – Simulation temporelle en pleine échelle ($E_g = 500$ mV) avec la fréquence d'entrée égale à 1,4 GHz et une fréquence d'horloge égale à 3 GHz avec en : (a) les sorties temporelles de l'E/B, (b) le zoom sur un état bloqué d'une des sorties de l'E/B, (c) les sorties différentielles de l'E/B, (d) le zoom sur un état bloqué de la sortie différentielle

Les figures 6.10(a)(b)(c)(d) illustrent les résultats de la simulation temporelle pour une fréquence d'échantillonnage de 3 GS/s avec une fréquence d'entrée de 1,4 GHz et une tension d'entrée de 0,5 V. Ces figures comparent les résultats non-différentiels et différentiels pour montrer les injections de charge (« feedthrough ») du signal non-différentiel (le signal non-différentiel est le signal d'une des sorties formant le différentiel). On remarque que les injections sont annulées sur le signal différentiel (figures 6.10.(c) et 6.10.(d)). A partir de la courbe (d), on remarque un « droop rate » de 2 mV ainsi qu'un piédestal inférieur à 0,5 mV.

6.1.5 Résultats de simulation dynamique

Le tableau 6.2 présente les résultats du SNR, SNDR, SFDR et THD (Taux de distorsion harmonique) résultant de la simulation schématique de l'E/B en fonction de la fréquence d'entrée pour une fréquence d'horloge de 3 GHz.

TABLE 6.2 – Résultats dynamiques obtenus en simulation avec 2000 points d'échantillon à 3 GS/s

Fréquence d'entrée (MHz)	SNR (dB)	SNDR (dB)	SFDR (dB)	THD (dB)
111	65,6	44,64	45,2	-44,67
511	52,25	44,62	46,01	-45,42
1111	52	48,45	52,1	-51
1493	57,3	46	46,5	-46,33

Les performances dynamiques obtenues pour l'E/B sont supérieures à une résolution d'un CAN 7 bits (SNR = 43,9 dB). Les erreurs temporelles sont très inférieures au Quantum de notre CAN égal à 4 mV. Les résultats sont obtenus en tenant compte de la génération de l'horloge (chapitre : horloge). Les simulations en Monte-Carlo ont permis de vérifier les performances dans la bande de fréquence d'utilisation (tableau 6.3). Les valeurs de Sdd_{11} de l'impédance de sortie et du gain, restent comme indiqués dans le tableau ci-dessous.. Le récapitulatif des résultats sont présentés dans le tableau 6.4.

TABLE 6.3 – Résultats obtenus en simulation Monté-Carlo

Sdd11 (dB)	< -12
Impédance de sortie Ω	< 10
Gain (dB)	> -5
Résolution binaire	6

TABLE 6.4 – Résultats obtenus en simulation schématique

Paramètres	Ciblés	Obtenus
Tension d'alimentation (V)	2,5	2,5
Fréquence d'échantillonnage (GS/s)	3	3
Consommation (mW)	< 200	160
SNDR à 111 MHz de fréquence d'entrée (dB)	> 36	44,64
SFDR à 111 MHz de fréquence d'entrée (dB)	> 40	45,2
Plage dynamique d'entrée (V)	0,5	0,5
Mode Commun en d'entrée (V)	0	0

6.2 Le comparateur en topologie bipolaire

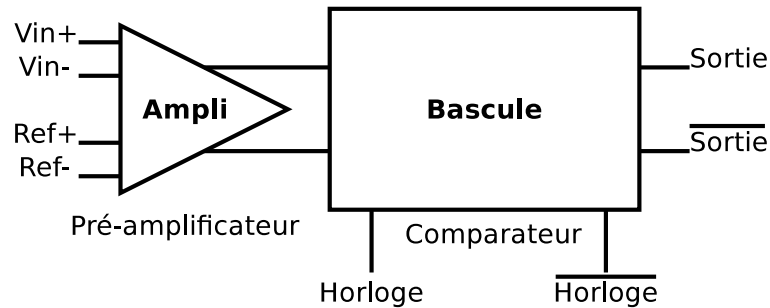


FIGURE 6.11 – Schéma de principe du comparateur

Dans cette nouvelle architecture, on doit proposer un comparateur ayant une vitesse de fonctionnement supérieure à 3 GS/s. Pour obtenir simultanément une haute précision et une vitesse de fonctionnement élevée, on utilise des bascules régénératrices qui utilisent une contre réaction positive [74]. Quelques paramètres communs permettent de caractériser les performances de ce comparateur :

- la résolution permet de définir la sensibilité du signal d'entrée (le quantum), le temps de suivi (le temps nécessaire au comparateur pour passer du mode bloqué au mode suivi)
- le temps de suivi
- le temps de régénération (le temps nécessaire au comparateur pour fixer une valeur binaire à une tension d'entrée donnée)
- l'offset des références qui est dû au mésappariement
- la consommation

Ce comparateur a le même principe de fonctionnement que le comparateur en transistors CMOS (2^{ème} partie). Il est composé en 2 parties : un pré-amplificateur et une bascule (figure 6.11). Le pré-amplificateur permet de faire une première comparaison en établissant une différence entre la référence et l'entrée différentielle. La bascule assure les niveaux logiques voulus en bloquant la valeur pendant une demi période. Le tableau 6.5 présente les spécifications ciblées pour le comparateur. La figure 6.12 illustre le résultat temporel à obtenir.

TABLE 6.5 – Spécifications ciblées pour le comparateur

Spécifications	Ciblées
Alimentation (V)	2
Fréquence d'échantillonnage (GS/s)	3
Puissance comparateur (mW)	16
Tension de sortie (mV)	300
Niveau d'hystérésis (LSB)	< 0,5
Bande Passante (MHz)	100 - 1500
Quantum (mV)	2

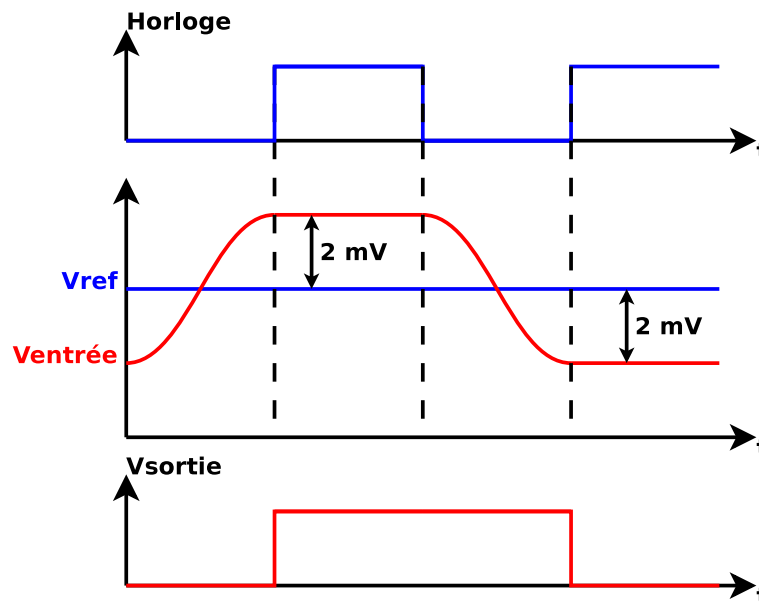


FIGURE 6.12 – Chronogramme du résultat à obtenir en temporel

6.2.1 Le pré-amplificateur

Le schéma électrique du pré-amplificateur différentiel employé est fourni en figure 6.15.

Ce pré-amplificateur, comme précédemment pour le comparateur avec des transistors CMOS, joue plusieurs rôles. Il réduit la propagation du bruit de rebond sur l'échelle de résistance et sur l'E/B provenant des comparateurs. Il facilite la détection des comparateurs en amplifiant l'entrée différentielle lorsque que le niveau de la tension d'entrée est supérieure à la tension de référence. A cause de la structure différentielle identique au CMOS, le gain s'exprime de la même manière :

$$Gain_{prampli} = 2.G_m.R_c \quad (6.7)$$

6.2. LE COMPAREUR EN TOPOLOGIE BIPOLAIRE

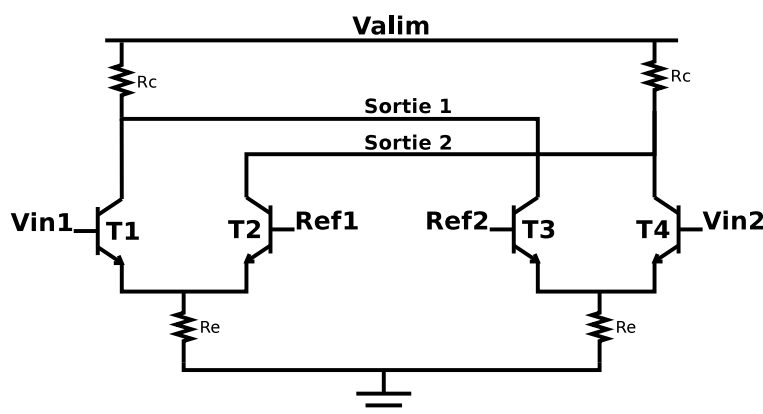


FIGURE 6.13 – Schéma électrique du pré-amplificateur bipolaire

La bande passante est donnée par :

$$BP = \frac{1}{2 \cdot \pi \cdot R_n \cdot C_n} \quad (6.8)$$

où C_p et R_p sont respectivement les capacités et résistances parasites (jonctions transistors, interconnexions) perçues par le pré-amplificateur.

On peut varier la taille des transistors pour augmenter le gain et la bande passante, mais le critère le plus important est le temps de transition des transistors. Pour cela, le dimensionnement des transistors est réduit à la plus petite taille définie par le constructeur ($0,25\ \mu m \times 1\ \mu m$). Ainsi, contrairement au transistor MOS, les simulations Monte-Carlo ne sont pas dégradées pour un faible dimensionnement. La figure 6.14 montre le schéma réalisé pour mesurer le gain en tension de la structure. La figure 6.15 illustre la courbe de gain en tension obtenue en simulation. On obtient un gain plat jusqu'à 2 GHz avec une variation inférieure à 0,1 dB à 4 GHz.

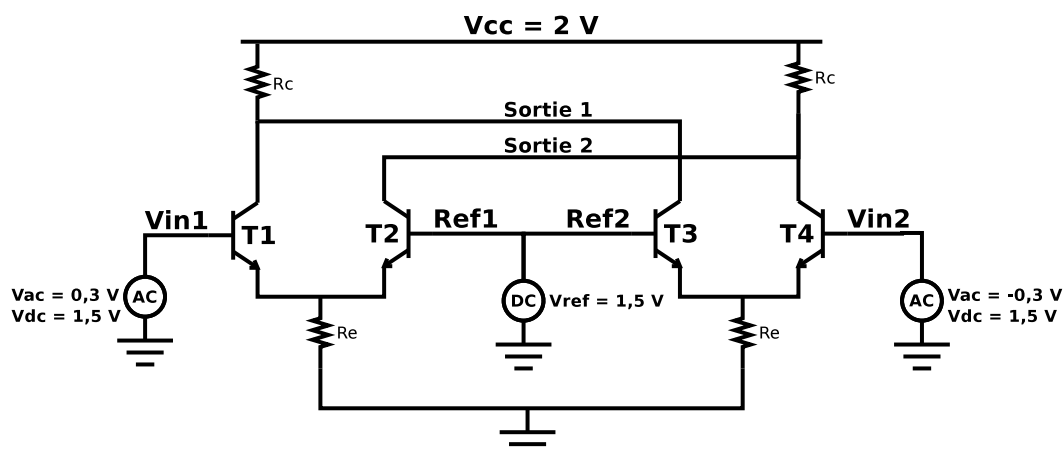


FIGURE 6.14 – Schéma du pré-amplificateur pour la mesure du gain en tension

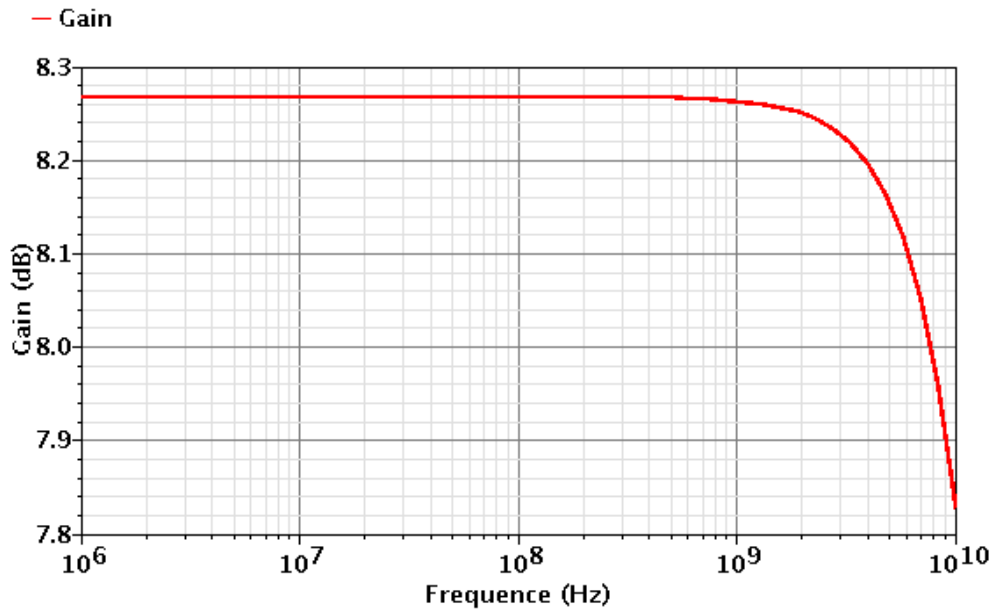


FIGURE 6.15 – Gain du pré-amplificateur obtenu en simulation

Les spécifications du pré-amplificateur sont relevées dans le tableau 6.6

TABLE 6.6 – Résultats de simulations du pré-amplificateur

Spécifications du pré-amplificateur	Obtenues en simulation
Tension d'alimentation (V)	2
Fréquence d'échantillonnage (GS/s)	4
Gain pré-amplificateur (dB)	8,26
Puissance total (mW)	1,5
Bande passante (GHz)	$> 1,8$

6.2.2 Le comparateur bipolaire

Le schéma électrique du comparateur utilisé dans notre étude est en figure 6.18. Il est composé d'une bascule en logique ECL, le même type de circuit est utilisé en CML [75] [76].

Un amplificateur en configuration émetteur commun est réalisé par les transistors T_1 et T_2 et les résistances R_c . La bascule régénératrice est réalisée par les transistors T_3 et T_4 en tête-bêche avec les résistances R_c . Les transistors T_5 et T_6 permettent de commuter le courant dans les paires différentielles selon le niveau de tension de l'horloge.

Il y a deux phases de fonctionnement, la phase de régénération et la phase d'initialisation. Lorsque

6.2. LE COMPAREUR EN TOPOLOGIE BIPOLAIRE

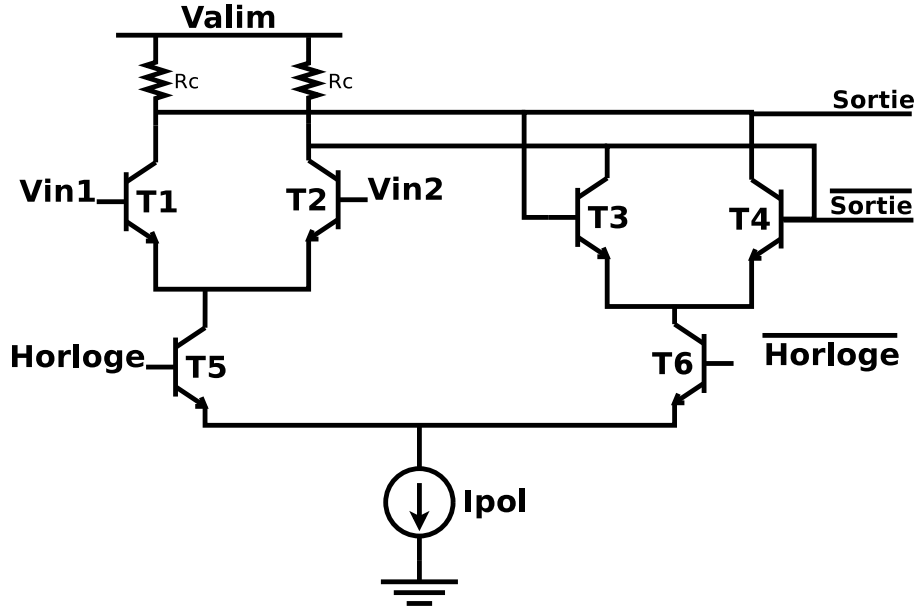


FIGURE 6.16 – Schéma électrique du comparateur bipolaire

l'horloge est au niveau haut, la paire différentielle d'entrée (T_1 , T_2) est activée et la paire de sortie (T_3 , T_4) se trouve dépolarisée. Inversement, lorsque l'horloge est au niveau bas, la paire différentielle de sortie se trouve polarisée atteignant les tensions crêtes des niveaux logiques.

En phase d'initialisation, on privilégie la bande passante au gain ce qui permet de faire une différence. L'équation pour le gain est donnée par :

$$Gain = Gm_e.R_c \quad (6.9)$$

où Gm_e est la transconductance de la paire différentielle d'entrée et R_c la charge résistive du circuit à verrou (T_3 et T_4).

La bande passante est donnée par :

$$BP = \frac{1}{2.\pi.R_C.C_{charge}} \quad (6.10)$$

où C_{charge} est la charge qui suit le comparateur.

Pour optimiser la vitesse de commutation du comparateur CML en bipolaire, on utilise une faible dynamique pour les sorties différentielles $\Delta V_{sortie} \approx 300 \text{ mV}$.

6.2. LE COMPAREUR EN TOPOLOGIE BIPOLAIRE

Contrairement au comparateur à transistors MOS, le transistor bipolaire NPN est moins sensible à la métastabilité, les analyses en Monte-Carlo ont montré un pourcentage de rendement supérieur à 90 % dans le pire des cas (erreurs de process et mismatch) de simulation pour un quantum ne dépassant pas 2 mV (dépassement de la tension d'entrée de 2 mV par rapport à la référence).

De plus, lorsqu'on fait une étude de comparateur, le cycle d'hystérésis est important. Lors de 2 comparaisons consécutives, le niveau du signal d'entrée peut varier très lentement (faible fréquence ou bien à une fréquence proche de la fréquence d'échantillonnage sur 2). Il peut en résulter des erreurs de comparaisons. En effet, l'état des sorties des comparateurs peut rester inchangé malgré un changement en entrée. Les figures 6.17(a) et (b) illustrent le fonctionnement normal et le fonctionnement avec l'erreur produite en sortie.

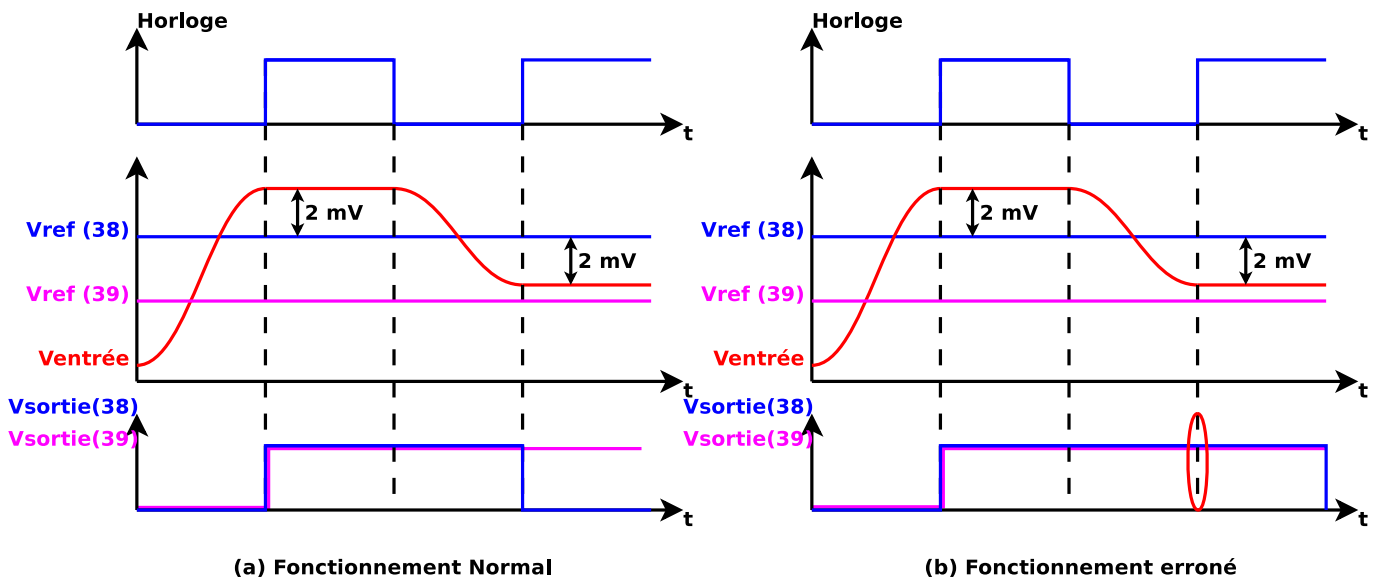


FIGURE 6.17 – Chronogramme du fonctionnement normal en (a) et du fonctionnement erroné en (b)

Pour éviter ce phénomène, nous avons optimisé notre comparateur pour qu'il fonctionne à 4 GS/s afin de diminuer la latence. Ainsi, nous diminuons fortement la métastabilité et le cycle d'hystérésis pour la fréquence d'échantillonnage de 3 GS/s.

6.2.3 Schéma du comparateur réalisé pour le circuit

La figure 6.18 illustre le comparateur réalisé. Une bascule est intégrée au comparateur en sortie pour relaxer les sorties et obtenir les niveaux logiques durant une demi période, même dans les cas critiques d'un dépassement faible en entrée du comparateur par rapport à la tension de référence.

La figure 6.19 montre le résultat d'une simulation temporelle sur une des 2 voies formant la sortie différentielle avec une fréquence d'horloge de 4 GHz et un dépassement de l'entrée différentielle de 1,4 mV par rapport à une tension de référence (ici 1,5V).

6.2. LE COMPAREUR EN TOPOLOGIE BIPOLAIRE

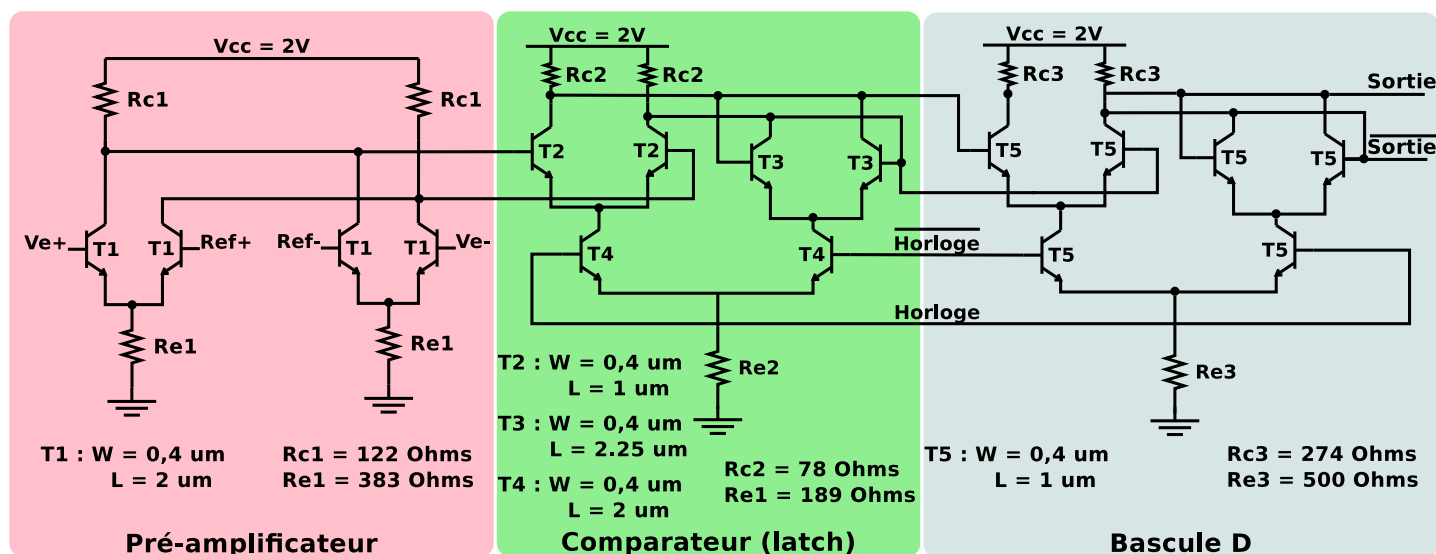


FIGURE 6.18 – Schéma électrique du comparateur bipolaire

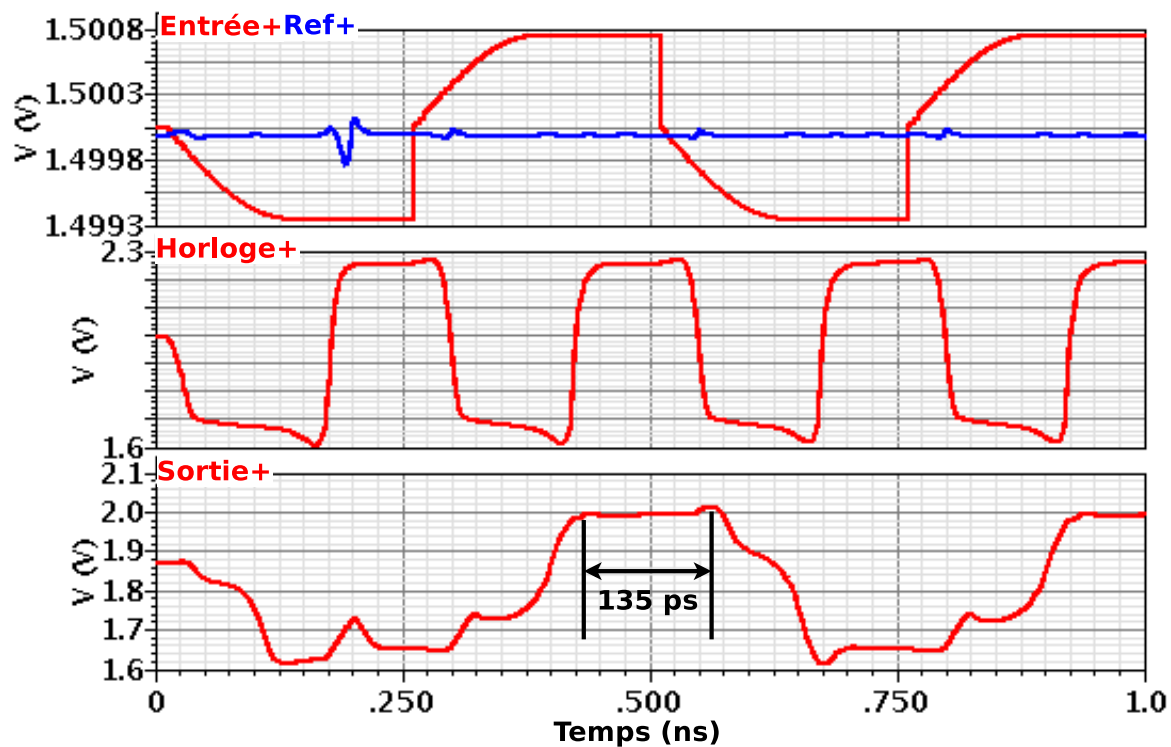


FIGURE 6.19 – Résultats de simulation temporelle du comparateur, réalisés avec le générateur d'horloge réel intégré dans le circuit

6.3. L'ÉCHELLE DE RÉSISTANCES

Le tableau 6.7 résume les résultats obtenus en simulation.

TABLE 6.7 – Spécifications du comparateur réalisé en bipolaire

Spécifications du comparateur	Obtenues en simulation
Tension d'alimentation (V)	2
Fréquence d'échantillonnage max (GHz)	4
Puissance (mW)	8
Précision (mV)	2
Monte Carlo (cas critique) (%)	l'erreur < 10

6.3 L'échelle de résistances

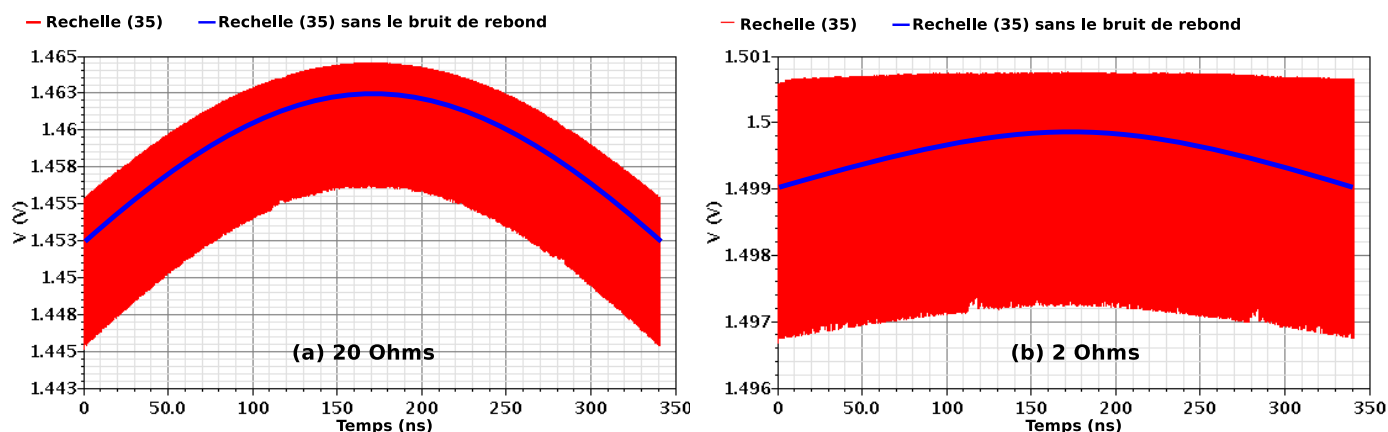


FIGURE 6.20 – Résultat temporel aux bornes d'une résistance pour une valeur de $20\ \Omega$ en (a) et $2\ \Omega$ en (b) pour une rampe injectée en entrée, la courbe bleue représente le signal sans bruit de rebond, la courbe rouge représente le signal réel

L'échelle de résistances influe fortement sur les performances statiques du CAN. Afin de diminuer cette erreur, une étude sur le choix de la résistance a été faite. La figure 6.20 montre la différence entre deux valeurs de résistance. On s'aperçoit que la variation de la tension de référence varie fortement selon la valeur de la résistance élémentaire ; plus la valeur de la résistance est élevée plus la variation de la tension de référence et le bruit de rebond augmentent. Une valeur de $2\ \Omega$ est alors choisie. Par une mise en parallèle des résistances de $20\ \Omega$ (expliqué dans la partie dessin du masque), on obtient une faible valeur de résistance avec un très faible mésappariement. Cependant, une valeur de résistance encore plus faible permet de diminuer l'erreur statique et d'augmenter encore les performances, mais pour de raison de conception nous nous sommes contentés de la valeur choisie.

6.4 Le décodage et la correction d'erreur

Nous obtenons le mot binaire en réalisant les deux conversions consécutives étudiées lors de la réalisation du premier CAN 6 bits à 1 GS/s. On convertit successivement le code « thermomètre » en sortie des comparateurs en un code « 1 parmi N », puis le code « 1 parmi N » en un mot binaire. Dans cette étude, on choisit d'utiliser une correction de bulle et un décodeur à arbre [77] [58].

6.4.1 La correction de bulle

La correction de bulle est composée de portes « et » en ECL comme décrit dans l'introduction de ce chapitre. Les portes « et » utilisées sont à 2 entrées, elles permettent de corriger les bulles du premier ordre dans le code thermomètre. La précision des comparateurs permet de restreindre la correction à l'ordre 1. De plus, chaque porte peut fonctionner à une fréquence supérieure à 6 GS/s de donnée. Le dimensionnement des transistors a été optimisé afin d'obtenir une très faible sensibilité à la métastabilité. La consommation de cette cellule est de 0,24 W

6.4.2 Le décodeur à arbre

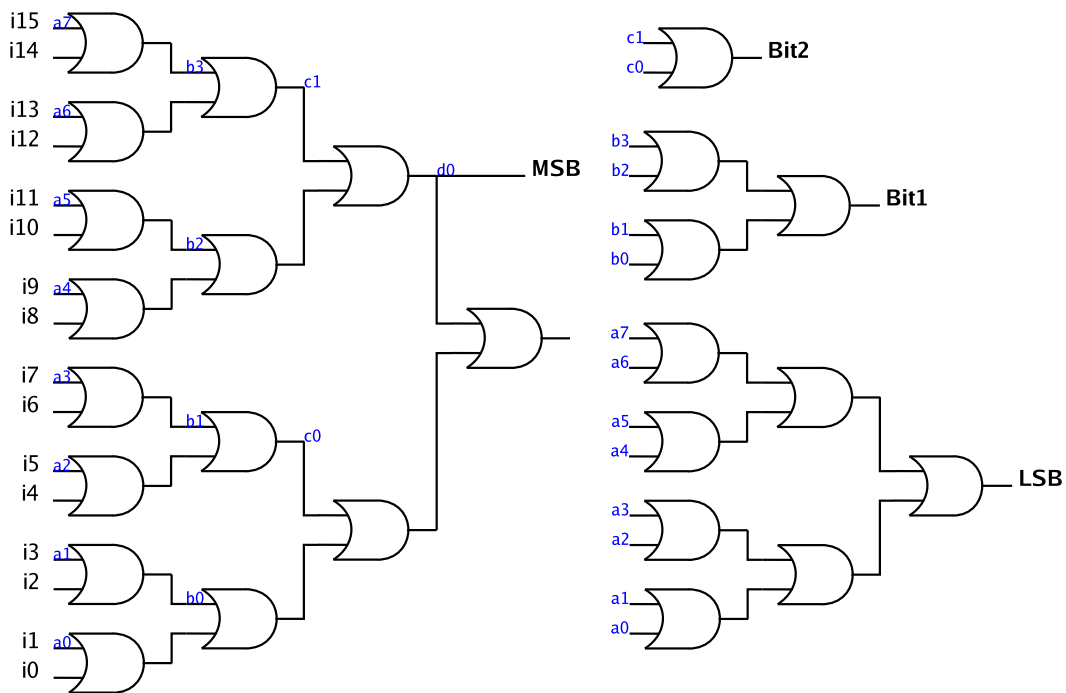


FIGURE 6.21 – Schéma du décodeur pour une architecture 4 bits

Le décodeur à arbre est une structure schématique simple permettant le passage du « 1 parmi N » au code binaire [64]. Il repose uniquement sur des portes « ou » mises en cascade. La figure 6.21 illustre un décodeur 4 bits.

6.4. LE DÉCODAGE ET LA CORRECTION D'ERREUR

Le but de ce décodeur est de :

- fonctionner à une cadence supérieur à 4 GS/s
- obtenir une architecture simple
- réaliser un temps identique de latence pour chaque bits

Cependant, certains aspects restent difficiles à réaliser tels que :

- une consommation faible
- le dessin du masque

6.4.3 Résultats de mesures de la partie numérique

La figure 6.22 montre le schéma de simulation pour tester la partie numérique du CAN. La figure 6.23 montre les résultats de simulation de la partie numérique.

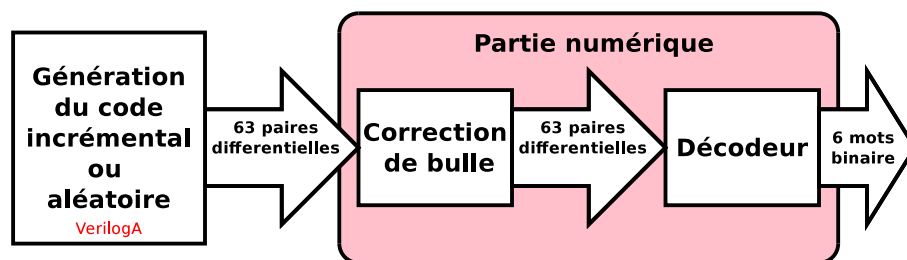


FIGURE 6.22 – Schéma de test de la partie numérique du CAN

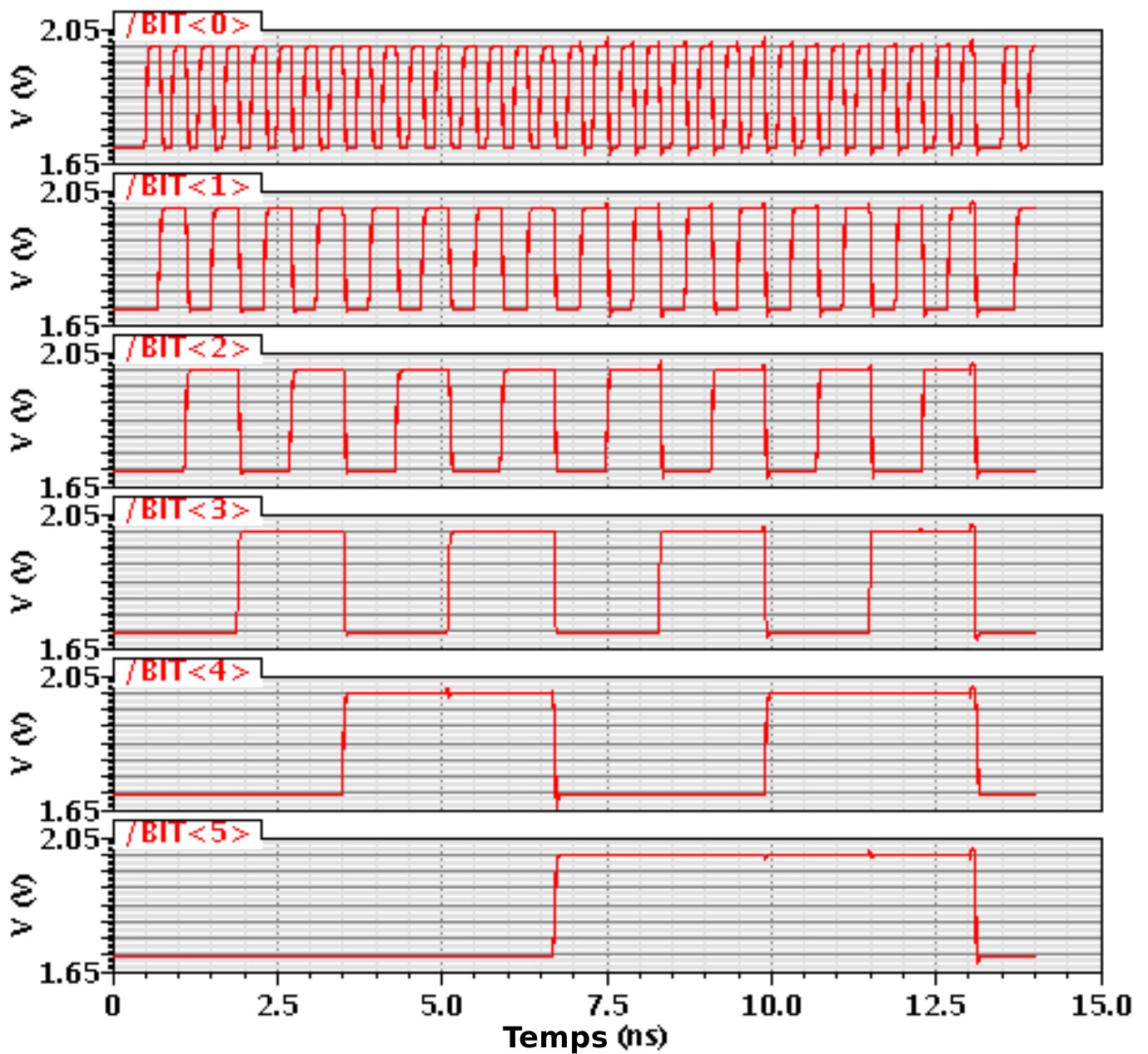


FIGURE 6.23 – Chronogramme des sorties binaires pour une réponse à code thermomètre en entrée cadencée à 5 GHz

L'ensemble de la partie correction de bulle et décodeur ainsi que les simulations montrent un bon fonctionnement pour des données supérieures à 4 GS/s.

6.5 Éléments complémentaires en vue des tests ultérieurs

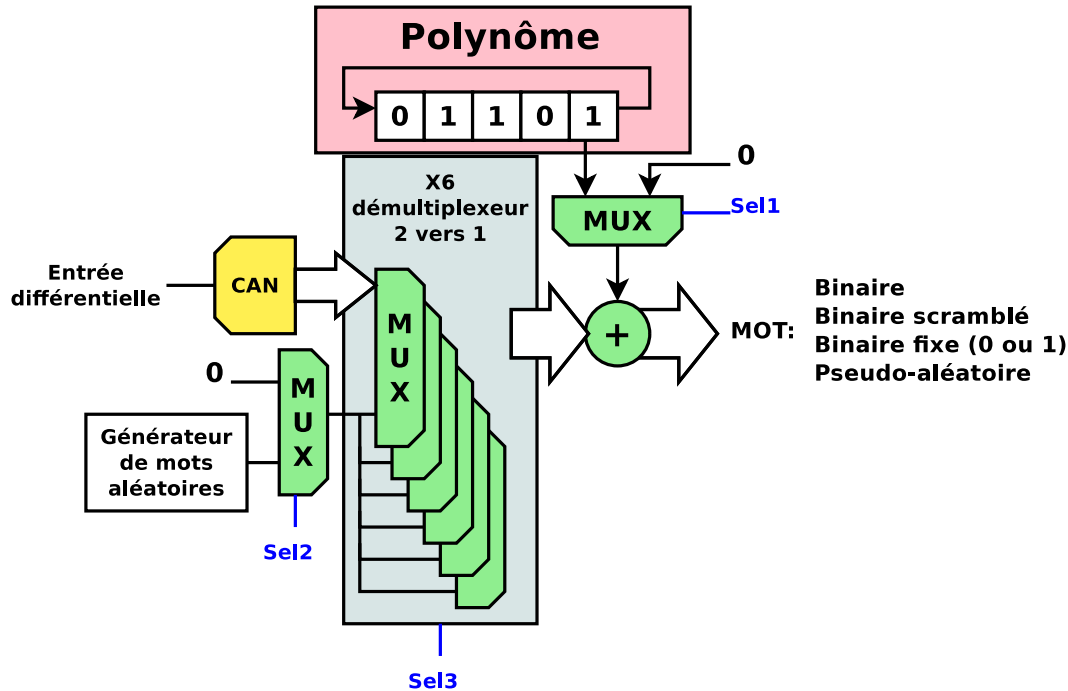


FIGURE 6.24 – Système intégré dans la puce pour la réalisation du test

La figure 6.24 illustre la partie numérique ajoutée pour valider et faciliter le test. Ce système intégré dans la puce est composé d'un générateur de mots pseudo-aléatoire, un « scrambler », un démultiplexeur « 2 vers 1 », et une porte « ou » exclusive.

Les démultiplexeurs « 2 vers 1 » permettent la commutation entre les différentes fonctionnalités désirées (figure 8.7). La porte « ou » exclusive permet d'additionner 2 signaux en sortie du système (figure 6.26).

Dans un premier temps, on veut valider le transfert des données de la puce vers la carte FPGA qui effectue l'acquisition des données en temps réel. Les données étant à 3 GS/s, il faut s'assurer du bon transfert des données.

On va utiliser pour cela un mot pseudo-aléatoire en sortie pour connaître exactement les mots binaires qui seront envoyés. Dans le cas présent, le mot aléatoire sera le même sur chaque bit. Le mot aléatoire est réalisé par un registre à décalage à rétroaction linéaire (LFSR : linear feedback shift register).

Le scrambler signifiant « brouilleur », mélange le signal avec une séquence connue de l'utilisateur. Ensuite, le signal devra subir le schéma inverse via un descrambler (débrouilleur) pour retrouver le signal d'origine [78]. Le scrambler additif est un polynôme qui peut être additionné au code existant en entrée, ici le code du CAN.

Il assure un fonctionnement synchrone de la transmission et de la réception. Son utilité réside dans

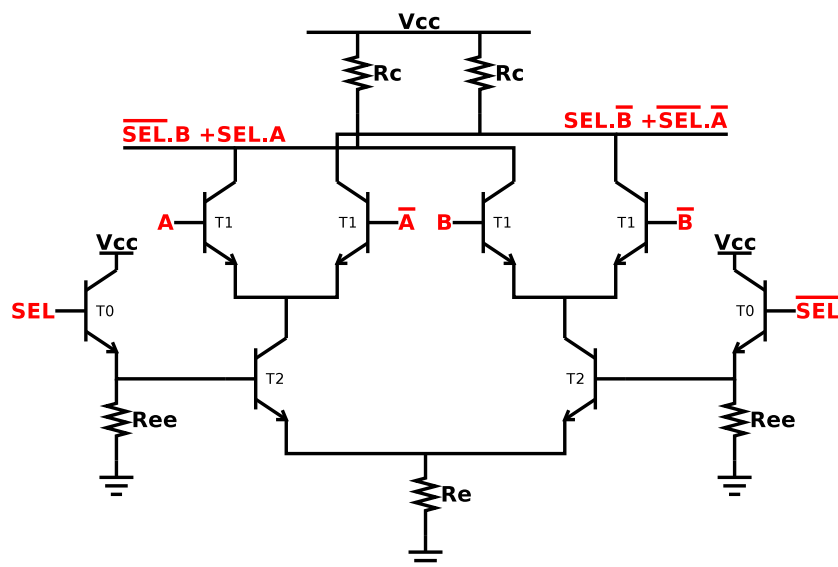


FIGURE 6.25 – Schéma électrique du démultiplexeur 2 vers 1

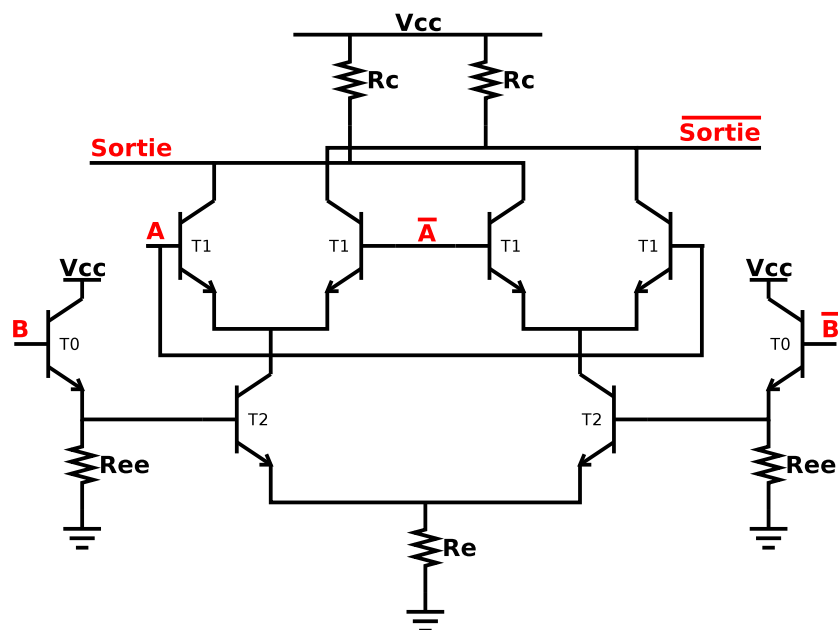


FIGURE 6.26 – Schéma électrique du OU exclusif

les mots binaires qui varient peu dans le temps (par exemple MSB au niveau haut pendant 5 périodes). Sel1, Sel2 et Sel3 permettent de sélectionner la sortie directe du CAN, une sortie générant des mots aléatoires, et une sortie générant la sortie du CAN brouillée.

Pour la réalisation de ce module, deux nouveaux schémas ont dû être étudiés, le démultiplexeur « 2 vers 1 » et la porte « OU exclusif » les deux schémas sont représentés en figure 6.25 et 6.26.

6.6 Les sorties LVDS

Les sorties LVDS ont été conçues avec des transistors bipolaires, la figure 6.27 montre le schéma différentiel utilisé. En utilisant un collecteur commun et un émetteur commun, on réalise un amplificateur très large bande pour pouvoir transmettre les signaux carrés. Le premier étage conçu avec une configuration en mode commun assure une haute impédance d'entrée. On veut pouvoir transmettre toutes les harmoniques jusqu'à l'harmonique 5 afin d'éviter la compression du signal lorsqu'on envoie un signal carré correspondant à un code numérique ECL, le SFDR est supérieur à 26 dB. Le gain en tension du bloc LVDS est plat jusqu'à 20 GHz (figure 6.28) avec une adaptation en sortie sur $100\ \Omega$.

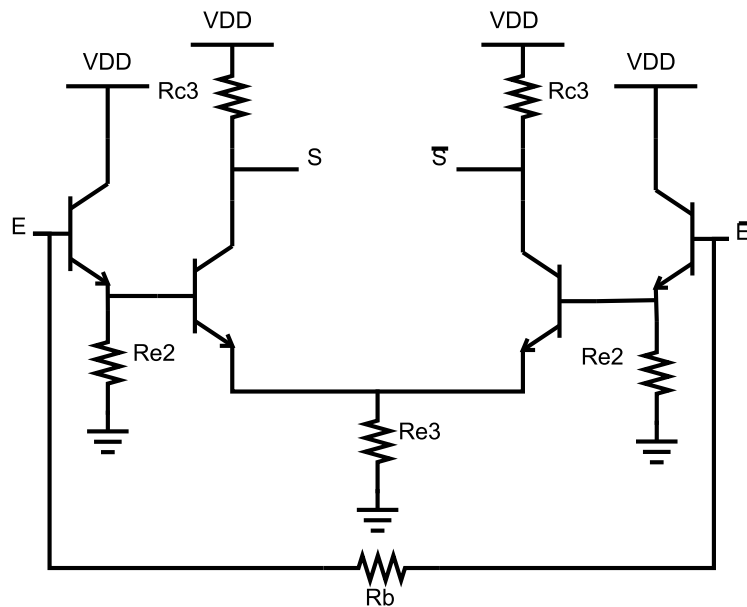


FIGURE 6.27 – Schéma des sorties LVDS

Les signaux de sortie sont conformes à la norme LVDS, niveau haut égale à 1,6 V et niveau bas à 1,2 V. La figure 6.29 montre les résultats obtenus pour une tension d'entrée carrée à la fréquence de 4 GHz variant de 1,6 à 2 V avec des temps de montée de 30 ps. Le diagramme de l'oeil permet de définir le jitter qui est inférieur 200 fs. Tous ces paramètres assurent une bonne communication entre le circuit et le FPGA.

La consommation de la sortie LVDS est de 41 mW. Cette forte consommation est voulue afin de s'assurer de l'adaptation en sortie à une puissance donnée en entrée (le code numérique ECL dans notre cas).

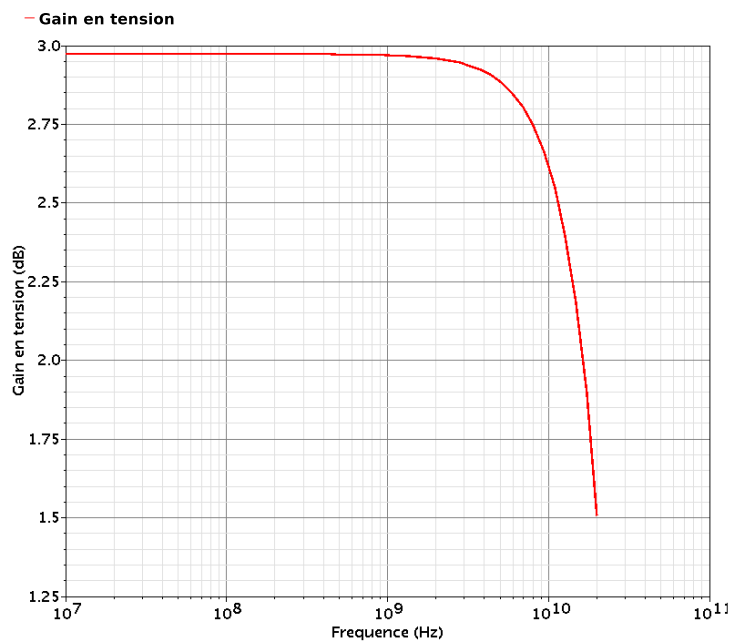


FIGURE 6.28 – Gain en tension de la cellule LVDS jusqu'à 20 GHz

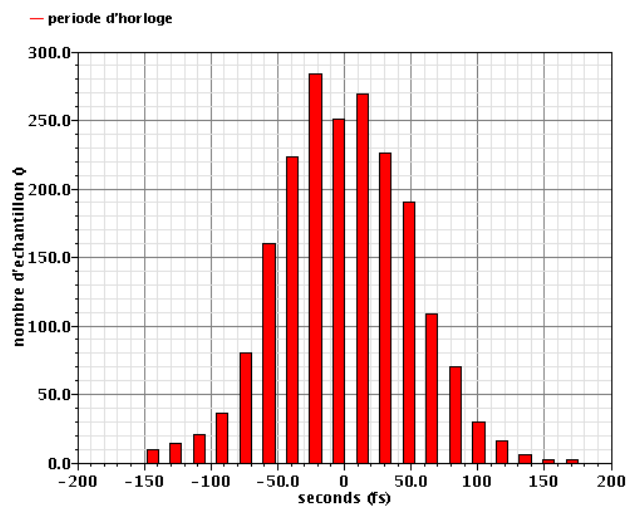
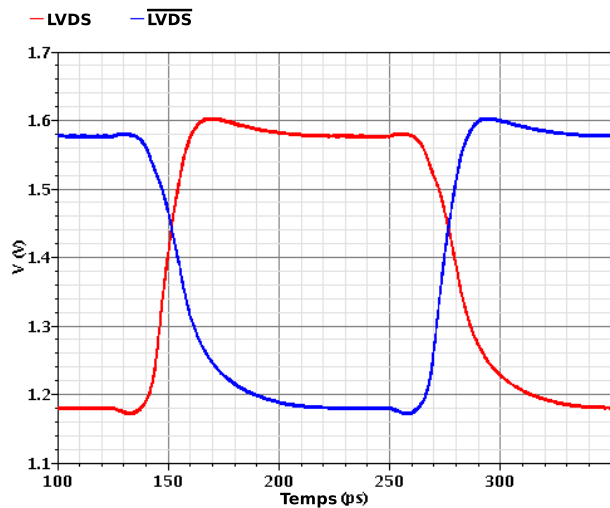


FIGURE 6.29 – Diagramme de l'oeil des sorties différentielles et histogramme du jitter de la sortie LVDS temporelle associé pour une fréquence d'entrée de 4 GHz

6.7 L'horloge

Pour commander le circuit à une fréquence d'horloge de 3 GHz, un signal différentiel sinusoïdal externe alimente le circuit. Il est plus facile à fréquence élevée de fournir un signal sinusoïdal avec peu de perte contrairement au signal carré qui comporte une infinité d'harmoniques. Le signal est donc régénéré à l'intérieur du circuit pour obtenir un signal carré d'amplitude différentielle minimum de 400 mV. Ainsi, l'horloge a été optimisée pour un signal d'entrée de 4 GHz.

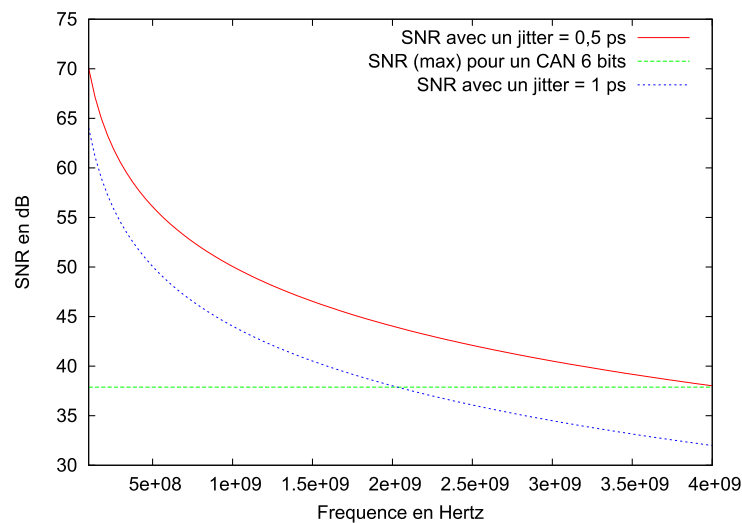


FIGURE 6.30 – SNR en fonction de la fréquence pour un jitter d'horloge de 0,5 ps et 1 ps.

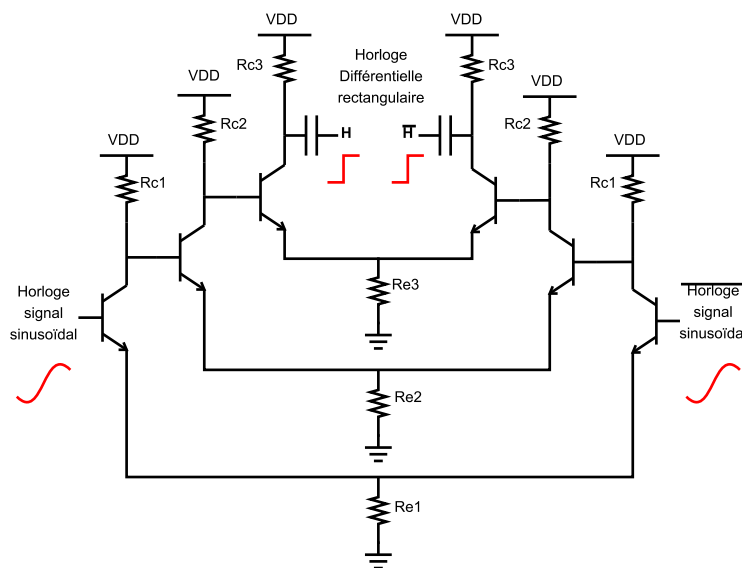


FIGURE 6.31 – Schéma pour la génération d'horloge

Pour un CAN avec une résolution de 6 bits, le SNR maximum est égal à 37,88 dB.

6.7. L'HORLOGE

Pour obtenir ce SNR avec une fréquence d'entrée de 2 GHz et une horloge de 4 GHz, le jitter d'horloge doit être inférieur à 1 ps comme le montre la figure 6.30.

Pour réaliser le circuit de conversion d'une sinusoïde en un signal carré, on utilise un schéma différentiel à 3 étages à émetteurs communs en régime de saturation. Contrairement au premier circuit, l'horloge est générée localement, au niveau de chaque cellule. Le schéma utilisé est en figure 6.31. Ce bloc générant l'horloge est réparti tous les 8 comparateurs, sur l'E/B, et sur le système pour le test avec des différentes valeurs de polarisation afin d'être adapté avec les cellules. Les différentes parties du CAN ont été optimisées avec cette cellule afin de connaître les performances réelles avec une horloge. Cette cellule consomme environ 20 mW et l'entrée est sur une haute impédance.

La figure 6.32 indique le diagramme de l'oeil obtenu en simulation avec ce circuit et une impédance de charge élevée. Les signaux obtenus sont plus élevés que la norme LVDS et les temps de transition sont inférieurs à 40 fs. Le jitter de cette horloge est inférieur à 500 fs.

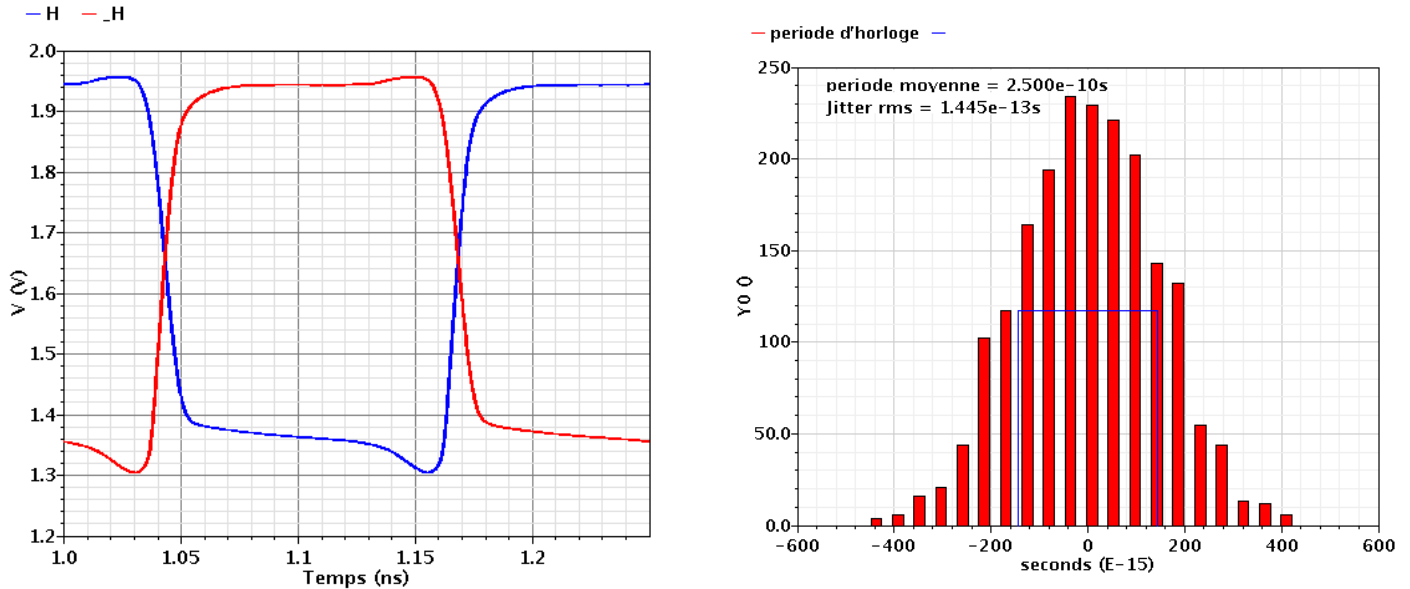


FIGURE 6.32 – Diagramme de l'oeil en sortie de la cellule horloge pour un signal différentiel sinusoïdal de 120 mV à 4 GHz et le jitter de l'horloge temporelle associée

Chapitre 7

Dessin de Masques

Pour le dessin de ce second CAN, des précautions supplémentaires ont été prises pour améliorer les performances, diminuer la taille et minimiser les phénomènes de bruit. Les règles de dessin utilisées dans le premier CAN sont toujours utilisées pour cette conception [56].

7.1 Isolation de cellule

Dans les circuits mixtes, les bruits de couplages sont présents et perturbent fortement le fonctionnement du circuit. Dans les circuits mixtes, le couplage entre les lignes, notamment entre celles appartenant aux blocs analogiques et aux blocs numériques, ainsi que le couplage par le substrat, perturbent fortement le fonctionnement du circuit (par exemple un résidu de l'horloge peut se retrouver sur les blocs analogiques ou les références de tensions des comparateurs). On peut nommer ces perturbations des « bruits de couplage ».

Certaines techniques de dessin permettent de diminuer ces « bruits de couplage ». La commutation des cellules numériques engendrent un bruit (cycle de charge des capacités parasites) qui traverse le substrat et qui parasite les modules environnants.

Dans la conception générale mixte, il est important de séparer la section numérique de la section analogique du masque. Un anneau de garde est alors utilisé pour séparer les deux sections.

Pour l'isolation de la partie numérique, la protection est constituée de deux anneaux : d'un anneau de protection p^+ connecté à la masse et un anneau de protection n^+ connecté à l'alimentation numérique (figure 7.1). L'isolation de la partie analogique se fait de la même manière en connectant un anneau de protection n^+ connecté à l'alimentation analogique.

Pour approfondir la recherche, on a apporté cette protection sur chaque cellule élémentaire et chaque partie est elle-même isolée par un autre caisson d'isolation. De plus, nous avons réalisé un triple anneau de garde pour isoler l'alimentation afin de créer un puit (figure 7.2).

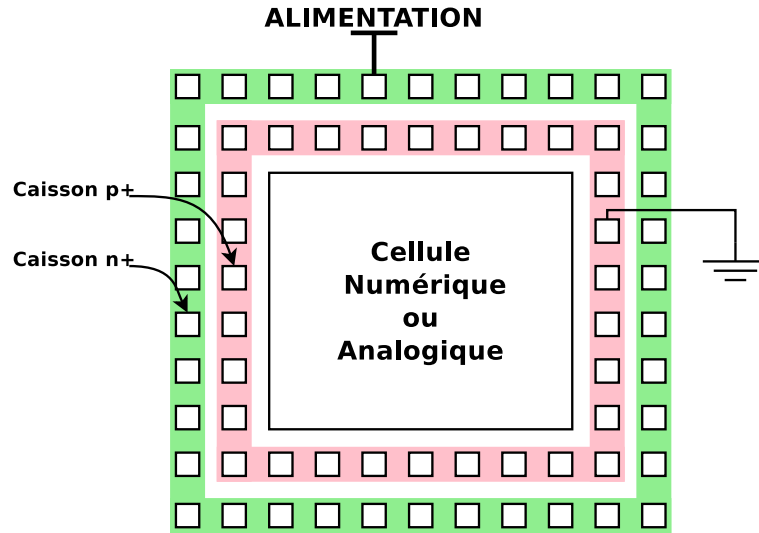


FIGURE 7.1 – Anneau de garde avec anneau p^+ et anneau n^+

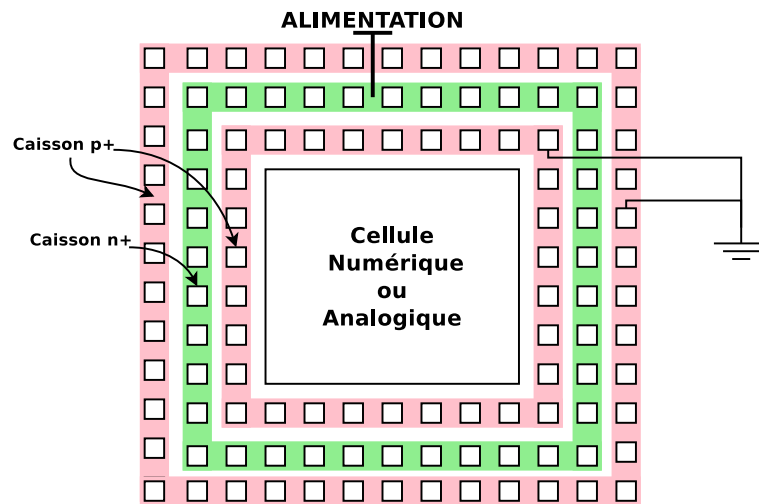


FIGURE 7.2 – Triple anneaux de garde avec 2 anneaux p^+ et un anneau n^+

7.2 Alimentation

Le bruit de commutation généré par le numérique se répercute sur les lignes d'alimentation. Pour éviter le couplage, les alimentations analogiques et numériques sont séparées. Les parasites circulent à travers les interconnexions qui n'ont pas une résistivité nulle. Chacune des parties analogiques et numériques ont plusieurs plots d'alimentation pour diminuer l'effet inductif et résistif engendrés par les fils de câblage (bonding). La figure 7.3 donne un exemple.

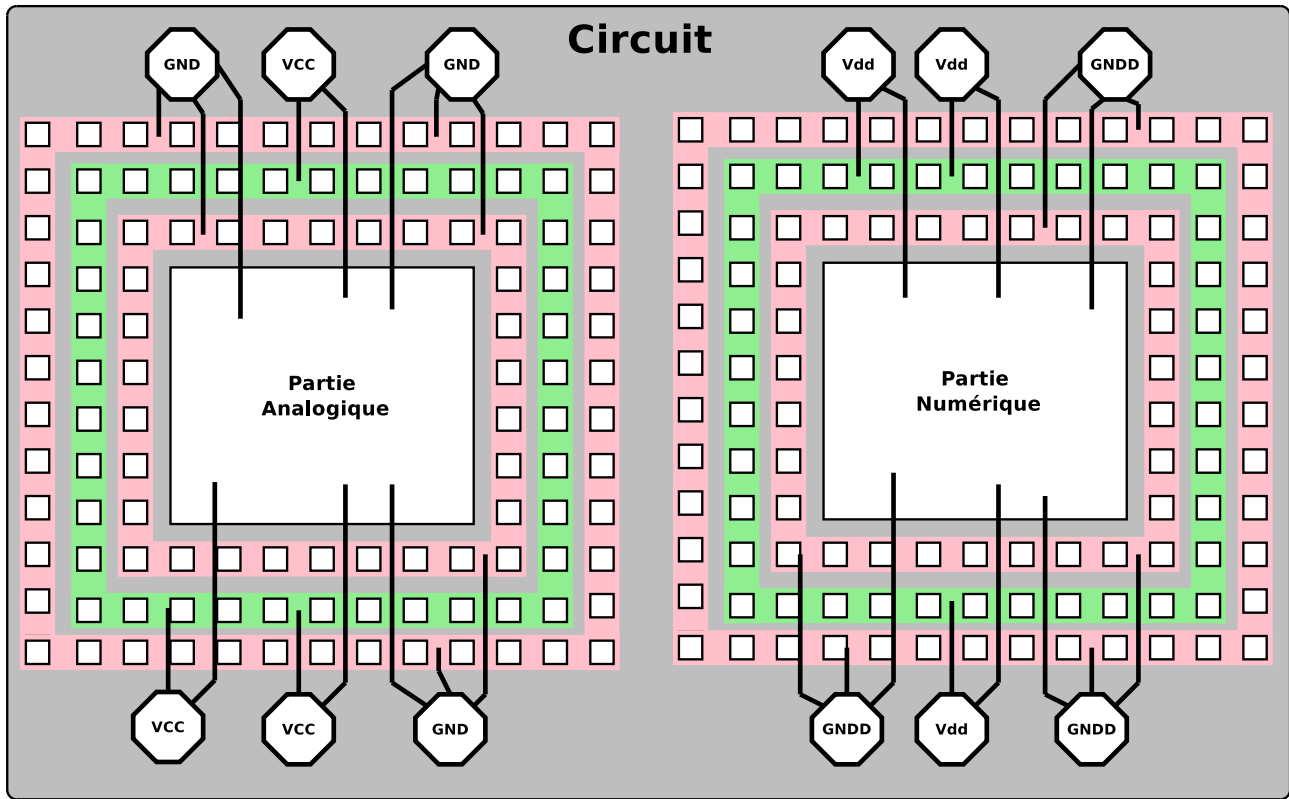


FIGURE 7.3 – Séparation des alimentations et augmentation du nombres de plots analogiques et numériques

7.3 Symétrie et répartition de l'horloge

Une attention particulière a été donnée au placement des composants pour diminuer la taille du circuit et ainsi réduire le coût de la fonderie. La taille du circuit étant quasiment donnée par la longueur de l'échelle de comparateurs (64 comparateurs + 2 pour la détection de dépassement). On a plié l'échelle de comparateurs en 2 pour réduire la longueur. Ceci apporte une complexité pour la conception de la partie numérique mais en contre partie toute la surface de la puce est utilisée.

L'horloge alimente la partie numérique : les comparateurs et l'E/B. Pour éviter une perte du signal dû à la longueur des lignes, chaque signal d'horloge est régénéré par une remise en forme en entrée des comparateurs et de l'E/B.

La figure 7.4 illustre la répartition de l'horloge et le placement des différents blocs pour le dessin.

7.4. ECHELLE DE RÉSISTANCE

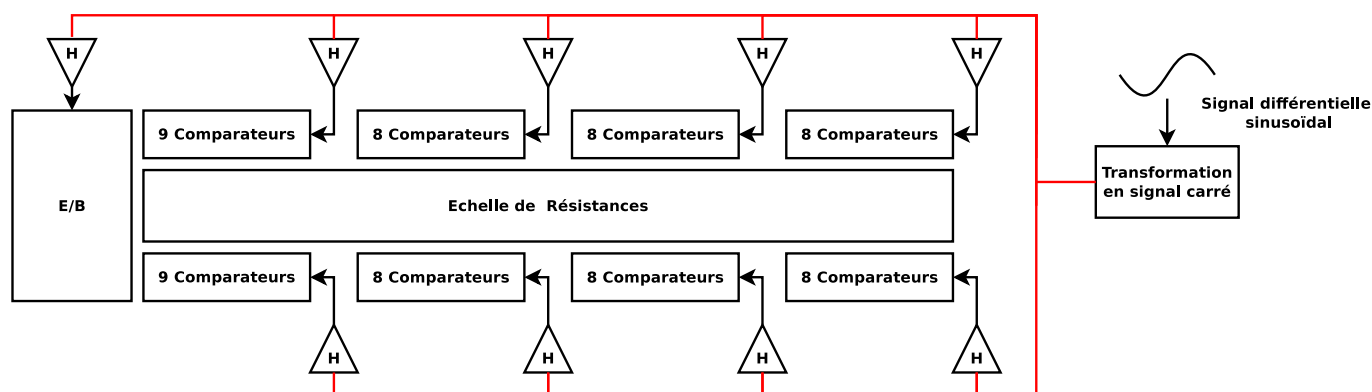


FIGURE 7.4 – Symétrie des cellules et répartition de l'horloge sur les différents blocs

7.4 Echelle de résistance

Chaque comparateur reçoit une paire de tensions de références différentielles, chaque point doit être distribué symétriquement. L'échelle de résistance se trouve entrelacée. Les comparateurs restent dans l'ordre croissant, la partie numérique (correction de bulle et décodeur) a donc un routage moins complexe. La figure 7.5 montre l'interconnexion des résistances.

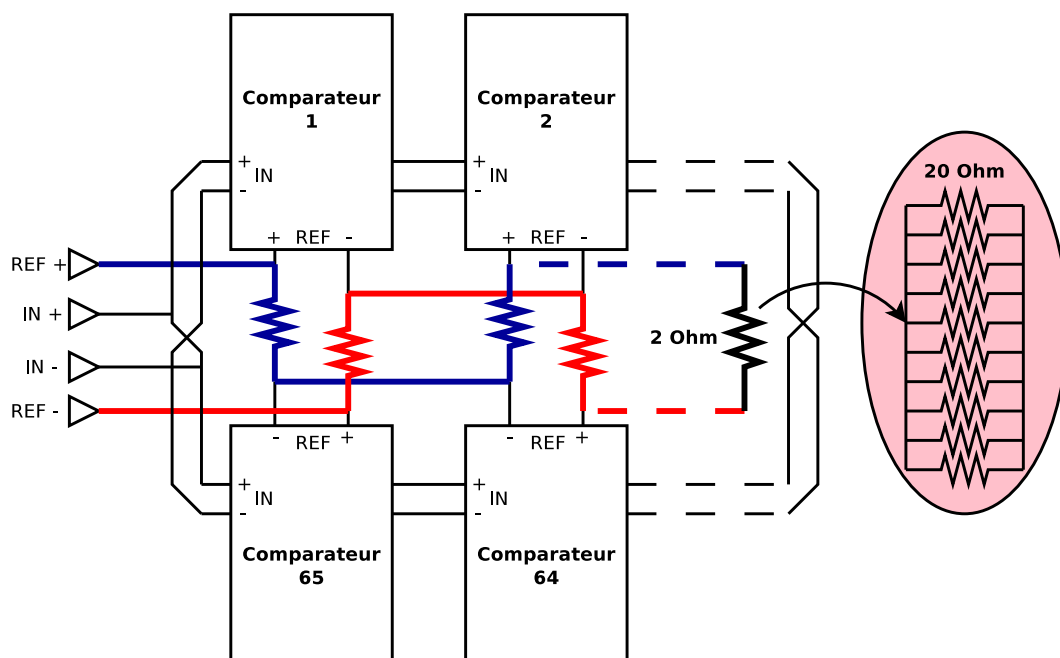


FIGURE 7.5 – Echelle résistive avec une connexion entrelacée

7.5 Dessin du masque final

Le masque est en figure 7.6. Ce masque est composé de tous les blocs décrits précédemment pour ce second CAN à savoir : l'échantillonneur-bloqueur, les comparateurs, l'échelle de résistances, la correction de bulle, le décodeur à arbre, le tampon d'horloge, les sorties LVDS et le système pour le test. La surface totale du circuit est de $4,25 \text{ mm}^2$.

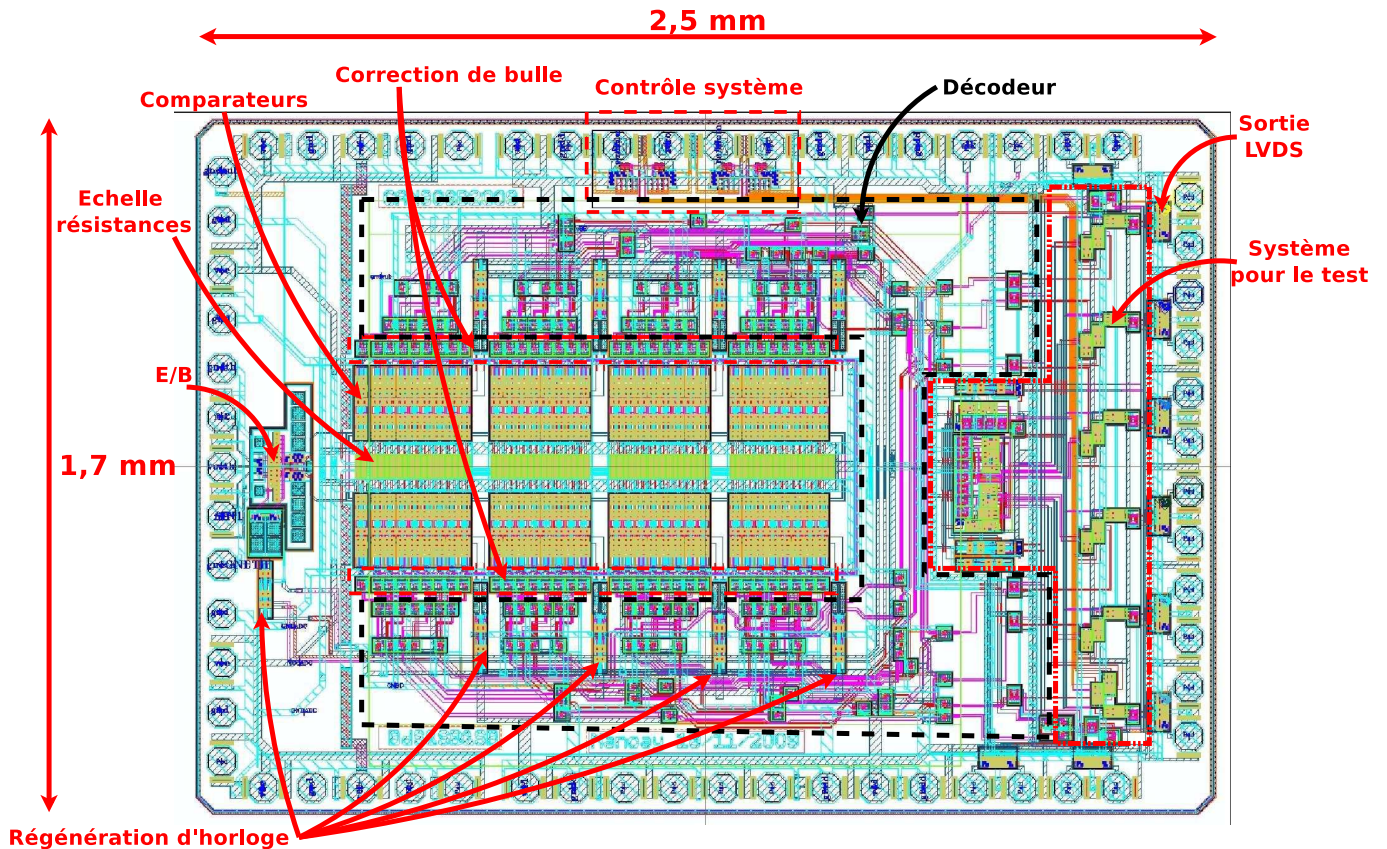


FIGURE 7.6 – Masque de la puce entière : CAN 6 bits à 3GS/s, et le système de test

Chapitre 8

Caractérisation post-layout et bancs de test

8.1 Résultats de simulation (post-layout) du CAN complet

Après la conception et le dessin du masque, nous allons présenter les résultats post-layout effectués avec le logiciel cadence sur les paramètres statiques et dynamiques.

Les schémas de test sont identiques à ceux utilisés pour le circuit en CMOS. Pour la simulation statique, un verilogA permet de déterminer l'INL et le DNL maximum (annexe B). Pour la simulation dynamique, un banc de test en verilogA permet la récupération des données, puis les données sont traitées sur le logiciel matlab (annexe C).

8.1.1 Résultats statiques (INL, DNL)

La figure 8.2 présente les résultats statiques obtenus. On obtient un INL maximum de 0,56 LSB et un DNL maximum de 0,1 LSB pour une résistance de 2 Ω utilisée dans l'échelle de résistance du CAN. L'INL est élevé, il est dû à la variation de la référence amenée sur les comparateurs qui évolue en fonction de la fréquence. Le bruit de rebond remonte à travers le comparateur sur l'échelle de résistance. La figure 8.1 illustre le bruit de rebond qui perturbe le niveau de référence. Ce bruit apporte une variation de 3 mV pour une valeur de 2 Ω . Une étude sur le choix de l'échelle de résistance démontre l'importance de la valeur de la résistance élémentaire. Le tableau 8.1 montre la variation de l'INL en fonction de la résistance élémentaire. Plus la valeur de la résistance est faible plus l'INL diminue et la consommation augmente.

TABLE 8.1 – Variation de l'INL en fonction de la résistance élémentaire de l'échelle de résistance

$R_{echelle} (\Omega)$	INL (LSB)
20	3
2	0,6
1	0,3

8.1. RÉSULTATS DE SIMULATION (POST-LAYOUT) DU CAN COMPLET

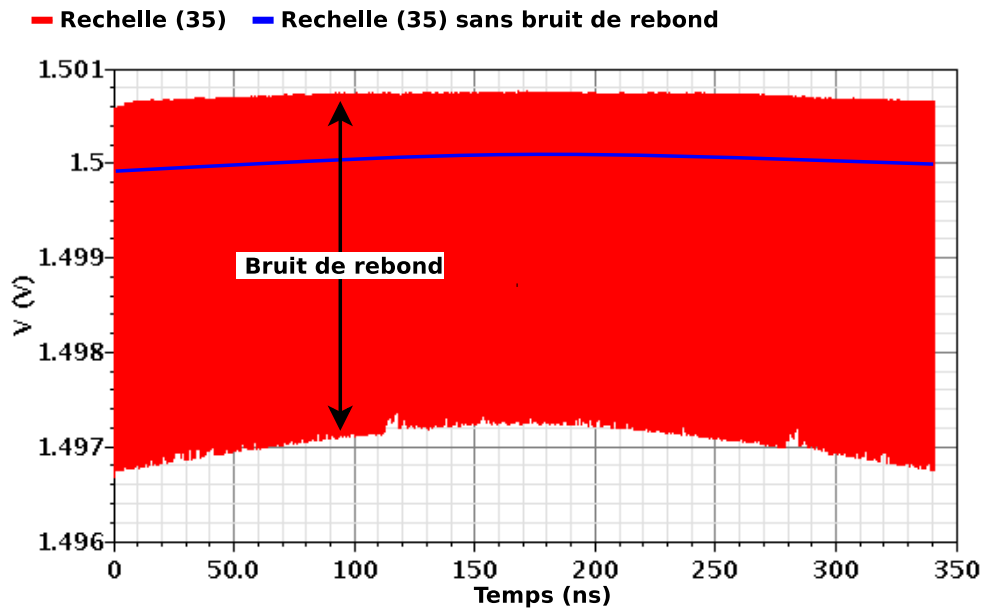


FIGURE 8.1 – Résultat temporel aux bornes d’une résistance de $2\ \Omega$ de l’échelle pour un signal rampe en entrée du CAN

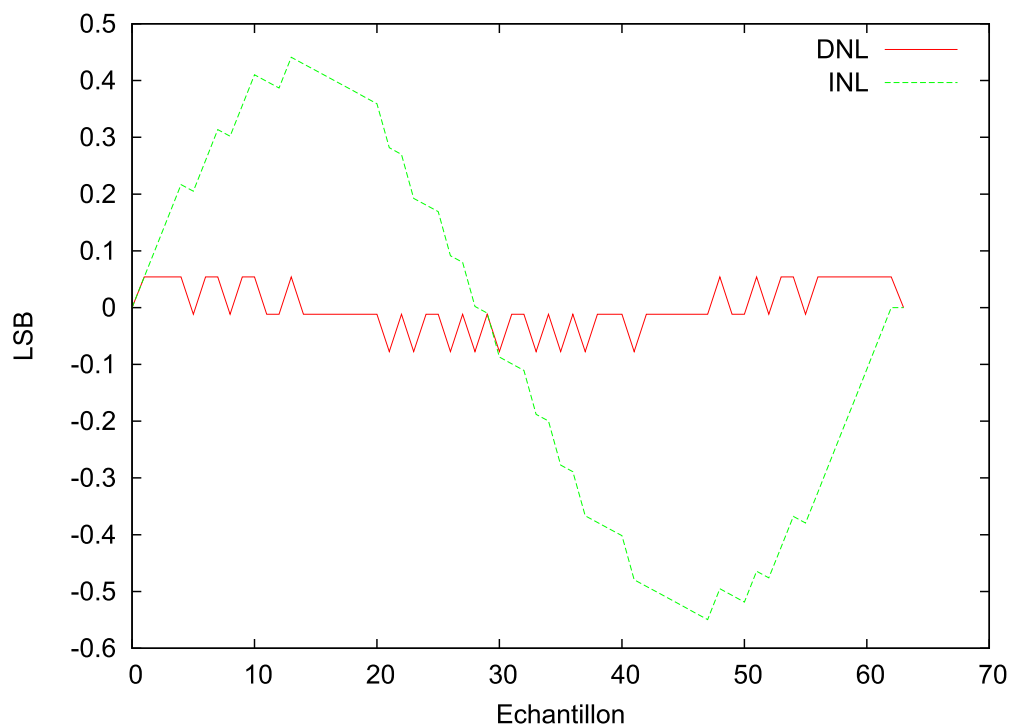


FIGURE 8.2 – Résultats de simulations des performances statiques (INL, DNL)

8.1.2 Résultats dynamiques (SNR, SFDR)

Les performances dynamiques (SNR, SFDR) du CAN avec extraction des capacités et des résistances à une fréquence d'horloge de 3 GHz sont en figure 8.3. Pour éviter des simulations extrêmement longues, on limite le nombre de points, la mesure est réalisée sur 700 conversions numériques pour évaluer le CAN. On en déduit un ENOB minimum de 5 bits ainsi qu'une ERBW de 1400 MHz pour une variation sinusoïdale pleine échelle de l'entrée de 0,5 V et une tension de référence de 170 mV.

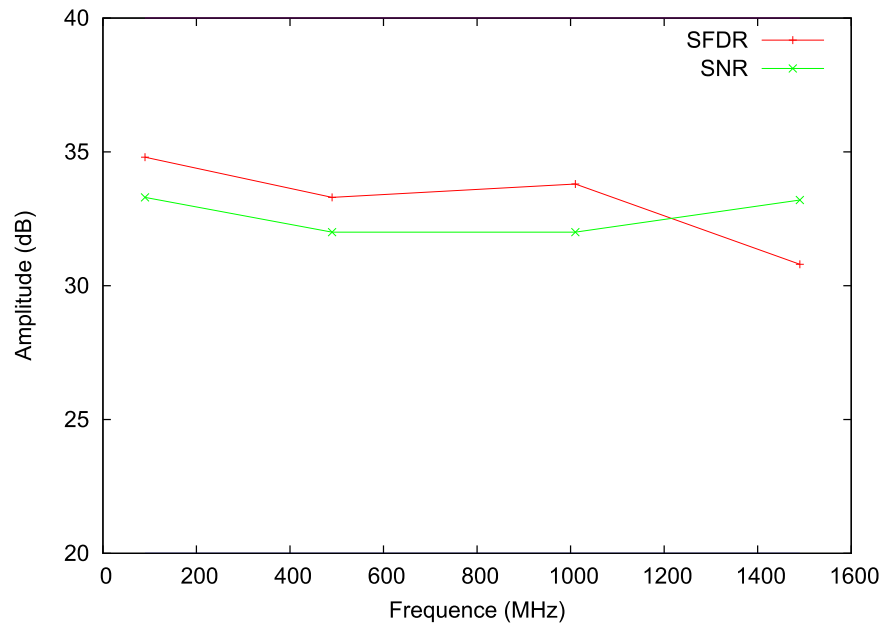


FIGURE 8.3 – Résultats dynamiques du CAN 6 bits (avec capacités et résistance parasites) à 3 GS/s avec 700 points de mesure

8.1.3 La Répartition de la consommation

La figure 8.4 montre la consommation totale pour la conception de ce CAN. Elle est égale 3 Watts. On remarque que les comparateurs consomment plus d'un tiers de la consommation totale. L'horloge et les sortie LVDS consomment respectivement 23% et 11% pour ce circuit.

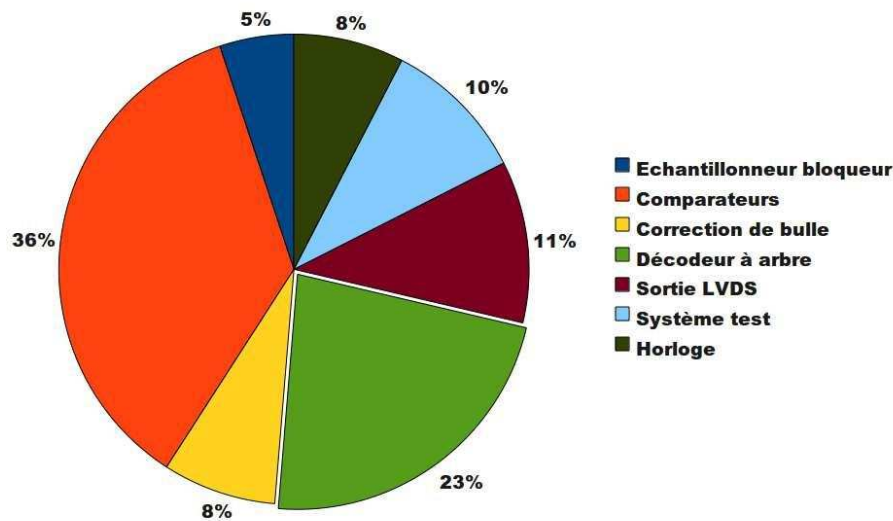


FIGURE 8.4 – Répartition de la consommation totale (3 W) du CAN à 3 GS/s

8.1.4 Synthèse des résultats

Le tableau 8.2 récapitule les différents paramètres de ce CAN en simulant le masque avec l'extraction des capacités et des résistances parasites. Ces valeurs sont obtenues avec les mêmes sources d'alimentation (2,5 V pour l'E/B, et 2 V pour les comparateurs et le numérique). Comme le courant est important dans le masque, l'E/B est alimenté en-dessous de 2,5 V, le comparateur et la partie numérique en dessous de 2 V. Il faudra rétablir les bonnes tensions d'alimentation pour mieux comparer les simulations et les mesures.

TABLE 8.2 – Les paramètres simulés du CAN 6 bits

Paramètres	Ciblés	Obtenus
Fréquence d'échantillonnage (GS/s)	3	3
Puissance Totale (W)	2	3
ERBW (MHz)	1500	1400
SNDR à 1490 MHz (dB)	> 36	30,8
SFDR à 1490 MHz (dB)	> 40	33,2
DNL (maximum) (LSB)	0,5	0,1
INL (maximum) (LSB)	0,5	0,56
Mode commun d'entrée (DC) (V)	0	0
Dynamique d'entrée (mV_{pp})	500	500
Plage de référence (mV)	170	170
Pas de référence V_{LSB} (mV)	4	< 3
Résolution binaire minimum (bits)	6	5

8.2 Préparation des bancs de test

Ce circuit envoyé en novembre 2009 a été reçu en mai 2010 et sera testé en août 2010. Deux bancs de test sont étudiés pour les mesures afin de déterminer les paramètres réels du CAN. Le fort taux d'échantillons par seconde inclut un test fonctionnant à cette fréquence. Pour cela, on a acquis une carte FPGA munie d'un vertex 6 avec des entrées différentielles LVDS très rapides (RocketIO) fonctionnant jusqu'à 6,5 GHz d'après le constructeur. Le schéma en figure 8.5 montre le schéma classique pour la récupération des données par le démultiplexage. Chaque bit à 3 GHz est divisé en 8 flots de données différentielles cadencées à 375 MHz. Les 48 données sont ensuite envoyées aux entrées classiques du FPGA et remises dans l'ordre. Les données sont alors traitées par le logiciel Matlab. Ce schéma reste très complexe à concevoir car il faut utiliser 8 démultiplexeurs qui fonctionnent à 3 GHz. Le dessin de la carte et les interconnexions (48 entrées différentielles) restent difficiles à réaliser et demandent une très grande précision pour le dessin des pistes (longueur de ligne, diaphonie). En annexe se trouve l'étude sur le démultiplexeur 1 vers 8 réalisé et envoyé en fonderie en même temps que le CAN (Annexe A et B).

Le schéma en figure 8.6 illustre l'acquisition des données directement par les entrées RocketIO de la carte, une fois que les données sont brouillées en sortie par un système intégré dans la puce. Les données sont enregistrées en temps réel dans la mémoire de la carte d'acquisition, puis les données binaires sont traitées par le logiciel Matlab.

Des acquisitions de quelques milliers d'échantillons seront faites pour déterminer les paramètres statiques et dynamiques. Les tests seront réalisés prochainement. La conception des cartes de test et l'écriture des programmes sont en cours de développement.

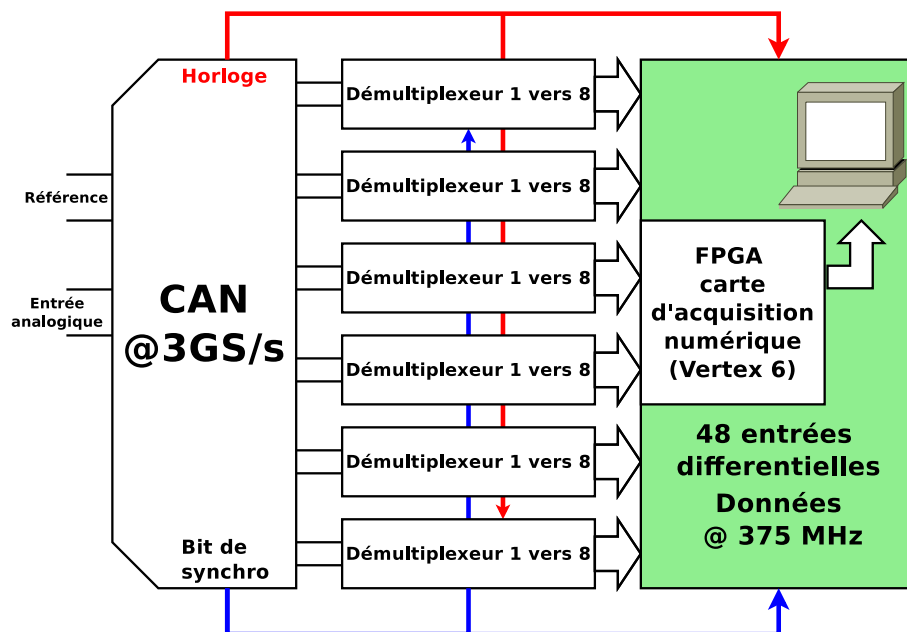


FIGURE 8.5 – Schéma de test avec un flot de données réduit par des démultiplexeurs

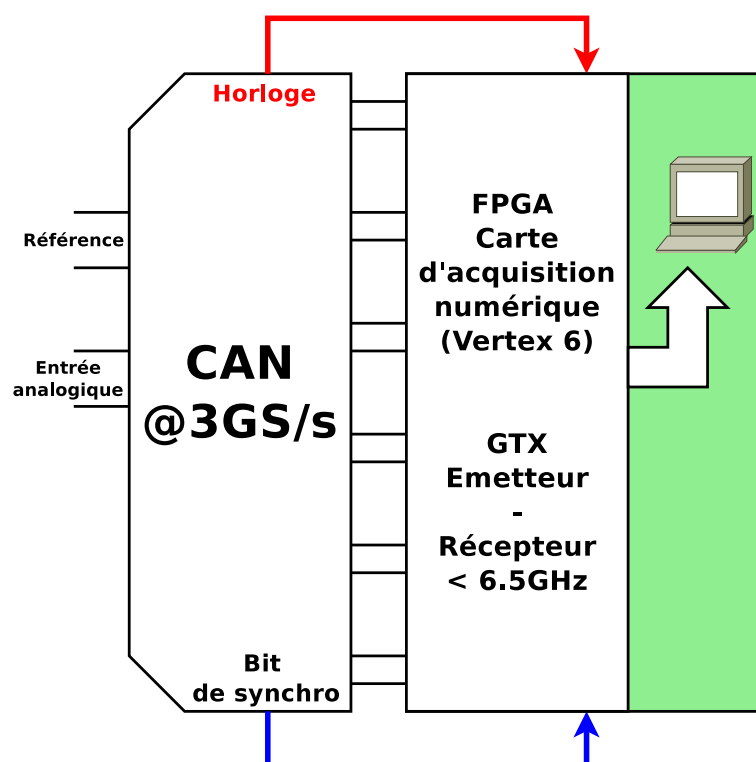


FIGURE 8.6 – Schéma de test avec un flot de données à 3 GS/s

8.3 Conclusion du CAN à 3 GS/s

Ce second CAN réalisé avec des transistors bipolaires NPN démontre la faisabilité d'une telle fonction performante dans la bande de fréquence analogique d'entrée de 100 à 1500 MHz pour une fréquence d'échantillonnage de 3 GS/s minimum. Les transistors bipolaires NPN de la technologie $0,25\ \mu\text{m}$ BiCMOS QUBIC4X ont une fréquence de transition (F_t) supérieure aux transistors CMOS ($F_{t\text{bipolaire}} = 140\ \text{GHz}$, $F_{t\text{CMOS}} = 60\ \text{GHz}$) , ils permettent donc un fonctionnement du CAN plus haut en fréquence. De plus, l'utilisation d'une logique à émetteur couplé (ECL) est plus rapide qu'une logique plus classique CMOS.

Le développement d'une librairie ECL a permis de concevoir la partie numérique. Ce CAN étant totalement différentiel de l'entrée de la chaîne (E/B) à la sortie (LVDS), il est moins sensible au bruit venant de l'alimentation et du substrat.

Les simulations sont conformes à nos attentes, les performances sont légèrement plus faibles que dans le tableau 5.2 de l'introduction. Les simulations, en prenant en compte l'extraction des parasites du masque, démontrent que le CAN opère à 3 GS/s avec un ENOB de 5 bits à la fréquence de Nyquist (fréquence d'entrée = 1500 MHz). Les résultats statiques restent proches des spécifications. Les futurs résultats expérimentaux permettront de confirmer les résultats obtenus en simulation. Les objectifs visés en fréquence sont atteints avec ce nouveau circuit. Avec un taux d'échantillonnage de 3 GS/s, on englobe la bande L voulue qui correspond aux futures mesures radioastronomiques .

Les points à améliorer pour ce système restent la consommation électrique qui est l'un des points critiques de ce type de topologie parallèle. Avec une consommation de 3 Watts pour le CAN complet, il est difficile de l'incorporer dans une chaîne de réception composée de plusieurs centaines de CAN (exemple : le projet SKA). Cependant, l'échelle de comparateurs doit avoir une consommation électrique plus faible. En effet, la consommation est en partie due aux comparateurs (33 %). Afin d'améliorer l'architecture, il est souhaitable d'utiliser une architecture interpolée pour diminuer le nombre de comparateurs ou augmenter la résolution. En diminuant le nombre de pré-amplificateurs, on diminue ainsi la consommation.

Conclusion et perspectives

Dans ce monde du tout intégré, les études menées sur les CAN montrent qu'il est possible de réaliser de la conversion à très haut débit avec une technologie peu coûteuse.

Dans ce premier chapitre, nous avons rappelé quelques généralités concernant les transistors. Nous avons ensuite présenté les contraintes de la technologie, les différentes structures de CAN, leurs améliorations ainsi que leurs paramètres de mesures (statiques et dynamiques). Suite à ce travail, nous avons choisi d'étudier un CAN « flash » (ou CAN à architecture parallèle).

La deuxième partie présente l'étude, la conception et le test d'un CAN 6 bits à la fréquence d'échantillonnage de 1 GS/s en technologie BiCMOS SiGeC 0,25 μm (E/B en BiCMOS et CAN en CMOS). Le CAN parallèle est composé de différents blocs : échantillonneur-bloqueur, comparateurs, correction de bulle, ROM, sorties LVDS. La simulation a montré un ENOB de 4 bits dans la bande de fréquence analogique d'entrée jusqu'à 500 MHz, cette valeur moyenne est due en partie au SFDR de l'échantillonneur-bloqueur. Les tests ont indiqué un dysfonctionnement numérique qui a été clairement identifié en insistant sur les simulations post-layout. Une correction numérique a alors permis d'évaluer les performances. Les performances mesurées sont plus faibles que celles des simulations. A cause de ce dysfonctionnement numérique, les mesures statiques pour caractériser l'INL et le DNL n'ont pas été effectuées. Cependant, ce circuit a permis d'illustrer la difficulté de réaliser un CAN et son masque, et a clairement fait ressortir la limitation des transistors MOS 0,25 μm pour ce type d'application (fréquence d'échantillonnage inférieure à 1 GS/s).

Dans la troisième partie, nous avons étudié la conception d'un CAN 6 bits à une fréquence d'horloge de 3 GS/s en technologie Bipolaire SiGeC 0,25 μm . Ce CAN parallèle est composé des mêmes fonctionnalités que le premier avec un décodeur à arbre à la place du décodeur ROM. La logique différentielle à émetteur couplé (ECL) a permis d'avoir une fréquence d'échantillonnage très élevée avec des niveaux logiques relativement faibles (0,3 - 0,4 V à l'intérieur de la puce). Les transistors bipolaires NPN ont une fréquence de transition supérieure aux transistors CMOS, la précision des comparateurs avec des NPN ainsi que leurs variations de performances dues aux mésappariements sont aussi plus faibles. La simulation du masque complet, avec prise en compte des éléments parasites comme les résistances et capacités, a montré des meilleures performances dynamiques.

8.3. CONCLUSION DU CAN À 3 GS/S

Ce mémoire met en avant 2 conceptions différentes de CAN en $0,25\ \mu m$, l'une en CMOS (avec E/B en BiCMOS) et l'autre en bipolaire. On a pu constater les différences de ces 2 circuits, tant sur la partie analogique que sur la partie numérique. Le second CAN a des performances qui sont nettement supérieures au premier en terme de bande passante et de fréquence d'échantillonnage. Cependant, la consommation du second circuit est supérieure au premier.

La partie numérique a été faite de 2 façons différentes : avec une ROM et un « décodeur à arbre ». On remarque que la ROM occasionne des erreurs de code récurrentes. Le « décodeur à arbre » permet de monter beaucoup plus haut en fréquence et d'atteindre le Giga Hertz. Ceci a été possible en confectionnant une bibliothèque de portes logiques différentielles à émetteur couplé afin de dépasser le Giga Hertz de ce décodeur à arbre. Cette bibliothèque est aussi utilisée pour la correction de bulle.

Les comparateurs en bipolaire permettent d'avoir un quantum (V_{LSB}) plus faible (4 mV au lieu de 16 mV pour les comparateurs en MOS). La variation des performances dues à la variation de process et au mésappariement est aussi beaucoup plus faible qu'avec des comparateurs en MOS (simulation Monte-Carlo). En contre partie, la consommation augmente significativement.

L'E/B en bipolaire a une consommation très faible car le quantum des comparateurs est lui aussi plus faible. L'E/B peut alors sortir une tension plus faible (1 Vpp pour le 1e CAN et 350 mV pour le second). Toutefois, le choix d'une topologie de l'E/B différente du premier (BiCMOS) et du second (bipolaire) ne nous permet pas de les comparer réellement. Néanmoins, les erreurs temporelles du second E/B restent très faibles à la fréquence de 1,5 GHz avec une architecture plus simple. De plus, celle-ci consomme moins énergie électrique.

Dans les technologies SiGeC, les transistors NPN sont bien plus performants que les transistors CMOS pour des applications hautes fréquences (Fréquence de transition plus élevée). Pour des applications numériques, l'inconvénient des transistors bipolaires reste la consommation électrique. Mais l'usage de ces derniers permet d'atteindre une fréquence de fonctionnement des portes logiques très élevées, ceci avec une technologie de finesse de gravure de $0,25\ \mu m$. L'utilisation d'une technologie de plus fine gravure ($0,13\ \mu m$ SiGeC) permettrait de réduire la consommation totale des circuits au moins par 2.

L'étude et la conception de ces CAN nous permettrons, à termes, de réaliser une chaîne de réception complète, de l'amplificateur faible bruit à la numérisation des données.

8.3. CONCLUSION DU CAN À 3 GS/S

Le silicium avec dopage germanium carbone pour les transistors bipolaires $0,25\ \mu m$ reste une technologie performante et peu coûteuse pour réaliser des prototypes. Les résultats de simulations montrent que cette technologie est peut-être suffisante pour les CAN rapides dans la bande utile étudiée pour la radioastronomie. Cependant, pour des projets radioastronomiques de grande envergure, (SKA par exemple) il faut continuer à rechercher et étudier des améliorations en vue de diminuer absolument la consommation qui demeure beaucoup trop élevée.

Cette technologie est peu coûteuse dans la fabrication à grande échelle comme dans le projet SKA. La grande densité d'intégration, la faible consommation et le faible coût sont des points clés dans les chaînes de réception à grande échelle. La conception des ASIC reste le moyen le plus rentable pour ces grands appareils de mesures que sont les radiotélescopes qui utilisent des centaines de milliers d'antennes.

Bibliographie

- [1] Sébastien Languille. L’australie le square kilometre array telescope (ska). *Ambassade de France en Australie Service Science et Technologie*, 29 janvier 2009.
- [2] Steve Torchinsky and Wim Van Driel. Galaxies fenêtres sur l’univers. relever l’invisible par les ondes radio. *Pour la science*, pages p 104–106, Juillet 2007.
- [3] Steve Torchinsky and Wim van Driel. État du projet ska et ska-design studies européen. 27 octobre 2006.
- [4] Arnold van Ardenne. The european aperture array ska demonstrator electronic multibeam radio astronomy concept (embrace). 2003.
- [5] Parbhu D. Patel. Embrace, the aperture array development programme.
- [6] Schaubert, D.H.Z, Boryssenko, Ardenne A., van Vaate, J.G. bijde, and Craeye C. The square kilometer array (ska) antenna. *2003 IEEE Phased Array Systems and Technology Symposium*, 2003.
- [7] Stéphane Bosse, Séverin Barth, and Marie-Line Grima. Conception d’un circuit mmic à contrôle de phase et de gain dans le cadre du projet européen embrace. *JNM*, 15èmes Journées Nationales Microondes, 2007.
- [8] Whitaker and Jerry. *Analysis and design of analog integrated circuits*. CRC Press, 1996.
- [9] Suzy Jackson, Peter Hall, and Jeffrey Harrison. A single-chip rf-cmos receiver for ska pathfinders. *CSIRO*, 2006.
- [10] Cynthia Baringer, Joe Jensen, Larry Burns, and Bob Walden. 3-bit, 8 gsps flash adc. *In Proceedings of the International Conference on Indium Phosphide and Related Materials*, pages 64, 67, Avril 1996.
- [11] Scott Bardsley, Christopher Dillon, Ravi Kummaraguntla, Chuck Lane, Ahmed Ali, Baeton Rigsbee, and Darren Combs. A 100db+ sfdr 80 msp/s 14 bit 0.35um bicmos pipeline adc. *IEEE BCTM 9.1*, pages 141–143, 2005.
- [12]
- [13] NXP Semiconductors. Qubic4x design manual. Technical report, NXP Semiconductors, 2006.

- [14] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits Fourth Edition*. Wiley and sons, 2001.
- [15] Roger T. Howe and Charles G. Sodini. *Microelectronics an integrated approach*. Prentice-Hall, 1997.
- [16] David F. Hoeschele. *Analog-to-Digital and Digital-to-Analog Conversion Techniques*. John Wiley and Sons, 1994.
- [17] R.H Walden. Analog-to-digital converter technology comparison. *IEEE*, 1994.
- [18] Yun-Ti Wang and Behzad Razavi. An 8 bit 150 mhz cmos a/d converter. *IEE J. solid state Circuits*, vol 35, mars 2000.
- [19] Scott Bardsley, Christopher Dillon, Ravi Kummaraguntla, Chuck Lane, Ahmed Ali, Baeton Rgshee, and Darren Combs. A 100db+ sfdr 80 msp/s 14 bits 0.35 μ m bicmos pipeline adc. *IEE J. solid state Circuits*, 2005.
- [20] Xiang-zhan Wang Qi Yu, Ning Ning, Lin Tang, Hong bin Li, and Mo hua Yang. A 10-bit 100msps 0.35 μ m si cmos pipeline adc. *IEEE*, 2004.
- [21] Aida Varzaghani and Chih-Kong Ken Yang. A 600 ms/s 5-bit pipeline a/d converter using digital reference calibration. *IEEE*, 2006.
- [22] Samad Sheikhaei, Shahriar Mirabbasi, and Andre Ivanov. An encoder for a 5 gs/s 4-bit flash adc in 0.18 μ m cmos. *IEEE*, Mai 2005.
- [23] Peter Scholtens and Maarten Vertregt. A 6 bit 1.6gs/s flash adc in 0.18 μ m cmos using averaging termination. *ISSCC*, 2002.
- [24] W. Gao, W.M. Snelgrove, and S.J. Kovacic. A 5 ghz sige hbt return to zero comparator for rf a/d conversion. *IEEE Journal of Solid-State Circuits*, Vol. 31 :pp. 1502– 1506, Octobre 1996.
- [25] Christoph Sandner, Martin Clara, Andreas Santner, Thomas Hartig, and Franz Kuttner. A 6 bit, 1.2 gs/s low-power flash-adc in 0,13 μ m digital cmos. *IEEE*, 2005.
- [26] Chowdhury M. R, Bashirul A. Polash, Mahmud Harun, and Christopher R. Anderson. Jitter analysis of time interleaved adc/dac systems for software defined raio (sdr) with pn sequence. In *Proceeding of the SDR '08 Technical Conference and product Exposition*, 2008.
- [27] Flynn M.P and Sheahan B. A 400 msamples/s 6-b cmos folding and interpolating adc. *IEEE Journal of Solid-state Circuits*, Vol 33 :1932–1938, 1998.
- [28] Claudel Grégoire Djanou. *Conception d'échantillonneurs-bloqueurs dans la technologie MOS submicronique*. PhD thesis, Université du Québec à Montréal, Mai 2008.
- [29] David Johns and Ken Martin. *Analog integrated circuit design*, chapter Chapter 8, pages p 340–341. Wiley & sons, 1996.
- [30] Specifications and architectures of sample and hold amplifiers. Technical report, National Semiconductor, 1992.

- [31] Nikolaos Stefanou. *A 1GS/s 6-BIT Flash A/D Converter with a combined chopping and averaging technique for reduced distortion in 0.18 um CMOS*. PhD thesis, Studies of Texas A&M University, Mai 2005.
- [32] M-L. Grima, S. Barth, S. Bosse, B. Jarry, P. Gamand, P. Meunier, B. Barelaud, and L. Billonnet. Amplificateur faible bruit différentiel de 1 db dans la bande (0.35 – 2 ghz) en technologie bicomos sige 0.25 um. *JNM*, 15èmes Journées Nationales Microondes, 2007.
- [33] William R Eisenstadt, Bob Stengel, and Bruce M. Thompson. *Microwave Differential Circuit Design*. 2006.
- [34] H.P.Le, A. Zayegh, and j. Singh. Performance analysis of optimized cmos comparator. *IEEE*, Vol .39 :pp 833–835, 2003.
- [35] G.M Yin, F. Op’t Eyende a, and d W. Sansen. A high speed cmos comparator with 8-bit resolution. *IEEE J. solid state Circuits*, vol. 27, 1992.
- [36] K. Uyttenhove, A. Marques, and M. Steyaert. A 6-bit 1ghz acquisition speed cmos flash adc with digital error correction. *Custom Integrated circuits conf*, 2000.
- [37] Pedro M. Figueiredo and Joao C. Vital. Kickback noise reduction techniques for cmos latched comparators. *IEEE*, vol 53 :pp 541–545, July 2006.
- [38] M.J.M Pelgrom, A.C.J Duinmaijer, , and A.P.G.Welbers. Matching properties of mos transistors. *IEEE J.Solid-State Circuits*, vol SC-24 :pp. 1433–1439, 1989.
- [39] Koen Uyttenhove and Michel S. J. Steyaert. Speed-power-accuracy tradeoff in high speed cmos adcs. *IEEE Transactions on circuits ans systems*, vol .49 :280 – 287, 2002.
- [40] Robert G. Meyer Paul R. Gray. *Analysis and design of analog integrated circuits*. 2001.
- [41] David A.Johns and Ken Martin. *Analog integrated circuit design*. Wiley, 1996.
- [42] K. Uyttenhove and M. S. J. Steyaert. A 1.8v 6-bit 1.3-ghz flash adc in 0.25 um cmos. *IEEE J. Solid-state Circuits*, vol. 38 :pp. 1115–1122, July 2003.
- [43] Roger T. Howe and Charles G. Sodini. *Microelectronics an integrated approach*. 1997.
- [44] B. Razavi. *Principe of Data Conversion System Design*. 1995.
- [45] K. Uyttenhove and M. Steyaert. A 6-bit, 1-ghz flash adc in 0.35 um cmos. *European Conference on Circuit Theory and Design*, August 2001.
- [46] Dhruva Ghai, Saraju P. Mohanty, and Elias Kougianos. A 45nm flash analog to digital converter for low voltage high speed system-on-chips. <http://www.vdcl.cse.unt.edu>.
- [47] J. Yoo, K. Choi, and A. Tangel. A 1-gsps cmos flash a/d converter for system on-chip applications. *in Proceedings of the IEEE Computer Society Workshop on VLSI*, pages p. 135–39, 2001.
- [48] Erik Säll and Mark Vesterbacka. 6 bit 1 ghz cmos silicon-on-insulator flash analog-to-digital converter for read channel applications. *ECCTD*, 2005.

- [49] Erik Säll. *Implementation of Flash Analog-to-Digital Converters in Silicon-on-Insulator CMOS Technology*. PhD thesis, Linköping Studies in Science and Technology, 2007.
- [50] Rob Reeder, Wayne Green, and Robert Shillito. Analog-to-digital converter clock optimization : A test engineering perspective. *Analog Device*, Decembre 2004.
- [51] Brad Brannon. Understand the effects of clock jitter and phase noise on sampled systems. *Analog Dialogue*, Fevrier 2008.
- [52] Application Report. Interfacing between lvspl and vml and cml and lvds levels. Technical report, Texas instruments, Decembre 2002.
- [53] Application Report. National lvds owners manual 4th edition 2008. Technical report, National Semiconductor, 2008.
- [54] Application Note 2085. Histogram testing determines dnl and inl errors. Technical report, Maxim, May 2003.
- [55] Application note 1819. Selecting the optimum test tones and test equipment for successfull high-speed adc sinwave testing. Technical report, Maxim, Dec 2002.
- [56] NXP Semiconductors. Qubic4x design manual. Technical report, NXP.
- [57] Neil H E. Weste and Kamran Eshraghian. *Principles of CMOS VLSI Design*. 1993.
- [58] Yao-Jen Chuang. *A 1G Sample/s 6-bit Flash A/D Converter with Novel Bubble Tolerant Thermometer-to-Binary Encoder*. PhD thesis, University of Maryland, 2005.
- [59] Petros Tsenes and Nikolaos Uzunoglu. A 4-bit 7.5 ghz a/d converter. *11th GAAS Symposium*, pages 141–144, 2003.
- [60] Samad Sheikhaei, Shahriar Mirabbasi, and Andre Ivanov. An encoder for a 5 gs/s 4-bit flash in 0.18 um cmos. *IEEE*, pages 698–701, 2005.
- [61] Deshans David, Begueret Jean-Baptiste, Deval Yann, Scarabello Christophe, Fouillat Pascla, Montignac Guy, and Baudry Alain. A 4 gs/s 2 bits flash adc with 2-4 ghz input bandwidth for radio astronomy applications. *Springer*, 2006.
- [62] Lawrence E. Larson. Ultra-wide band and moderate resolution a/d converters for high frequency satellite communications applications. *Project Report*, 1999-2001.
- [63] Michael Chu, Philip Jacob, Jin-Woo Kim, Mitchell R. Leroy, Russel P. Kraft, and John F McDonald. A 40 gs/s time interleaved adc using sige bicmos technology. *IEEE Journal of solid-state circuits*, vol 45, No 2, Fevrier 2010.
- [64] Daegyu Lee, Jincheol Yoo, Kyusun Choi, and Jahan Ghaznavi. Fat tree encoder design for ultra-high speed flash a/d converters. *MWSCAS*, 2002.
- [65] Hannon S. Yourke. Millirmicro second non-saturating transistor switching circuits. <http://archive.computerhistory.org/resources/text/IBM/Stretch/pdfs/06-11/102634289.pdf>.

- [66] Brian Lawless. *Fundamental Digital Electronics*. Prentice Hall PTR.
- [67] Bernard Antaki. *Etudes de la défaillance des circuits Bipolaires en mode courant et leur testabilité*. PhD thesis, Ecole Polytechnique de Montréal, Juillet 1999.
- [68] Stéphane Thuries. *Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe :C 0,25 um*. PhD thesis, l'université Paul-Sabatier de Toulouse, 2006.
- [69] Andrea Boni and Matteo Parenti. A 1-gs/s 2.7v track-and-hold amplifier with 10-b resolution at nyquist in sige bicmos. *ESSCIRC*, page 451, 2002.
- [70] Andrea Boni, Matteo Parenti, and Davide Vecchi. Low-power gs/s track-and-hold with 10-b resolution at nyquist in sgge bicmos. *IEEE*, Vol 53 :p 429, 2006.
- [71] Yevgen Borokhovych, Hans Gustat, bernd Tillack, Bernd Heinemann, Yuan Lu, Wei-Min Lance Kuo, Xiangtao Li, Ramkumar Krithivasan, and John D. Cressler. A low-power, 10gs/s track-and-hold amplifier in sige bicmos technology.
- [72] Y. Bouvier, J. Godin, A. Konczykowska, M. Riet, F. Jorge, and A. Ouslimani. Conception et fabrication d'un echantillonneur-bloqueur cadencé à 20 gs/s en technologie tbh inp. *15èmes Journées Nationales Microondes Toulouse*, 23-24-25 Mai 2007.
- [73] Samiran Halder, Sabbir A. Osmany, Hans Gustat, and Bernd Heinemann. A 10gs/s 2vpp emitter follower only track and hold amplifier in sige bicmos technology. *IHP*.
- [74] Vasilis Papanikolaou. *A comparator and Track and Hold for use in a 1GS/s, 10 bit analog to digital converter*. PhD thesis, University de Toronto, 1999.
- [75] Payam Heydari and Ravi Mohavavelu. Design of ultra high-speed cmos cml buffers and latches. *Circuits and Systems, ISCAS '03*, 25-28 May 2003.
- [76] Ravindran Mohanavelu and Payam Heydari. A novel ultra high-speed flip-flop-based frequency divider. *Circuits and Systems ISCAS '04*, May. 2004.
- [77] Keir Christian Lauritzen. *A novel Compressing Analog-to-Digital Converter*. PhD thesis, University of Maryland, 2005.
- [78] Steven A. Tretter. *Pseudo-Random Binary Sequences and Data Scramblers*. 2008.

ANNEXES

ANNEXE A

Démultiplexeur 1 vers 8

Ce démultiplexeur de fréquence est un circuit à une entrée et à N sorties. L'entrée a une fréquence de fonctionnement f_e très élevée difficilement analysable en aval. Les sorties N ont une fréquence de $F = f_e/p$ où p est le nombre d'étages du démultiplexeur. Ce circuit réduit la vitesse de fonctionnement mais augmente considérablement le nombre de sorties.

Le démultiplexeur est réalisé pour palier à la vitesse de traitement des données. La carte FPGA est prévue pour des signaux ayant des fréquences d'échantillonnage de 500 MS/s maximum (80 entrées classiques). Pour tester le CAN à 3 GS/s avec les entrées classiques du FPGA, il faut donc démultiplexer. Un démultiplexage 1 vers 8 a donc été choisi. La figure 8.7 montre le schéma complet du démultiplexeur.

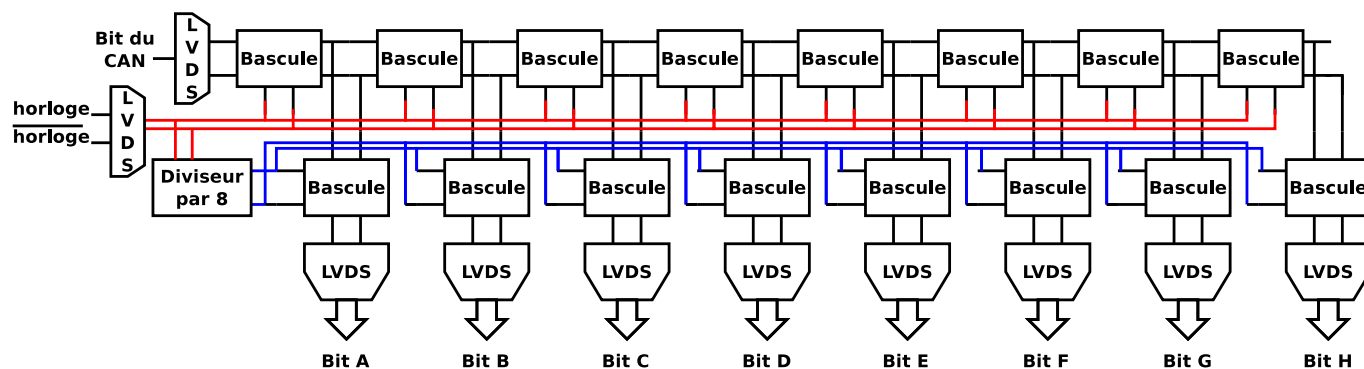


FIGURE 8.7 – Schéma du démultiplexeur

Le démultiplexeur est composé d'un port LVDS d'entrée et 8 ports LVDS de sorties, avec un port LVDS pour l'horloge, ceci pour communiquer entre le CAN et la carte FPGA. Les bascules utilisées dans cette architecture sont celles étudiées dans le CAN en ECL. Un diviseur par 8 réalisé avec un compteur synchrone permet de convertir l'horloge d'entrée (figure 8.8).

A chaque coup d'horloge, les données sont enregistrées dans les bascules reliées par l'horloge. Au huitième coup d'horloge les données se retrouvent en sortie, le bit A étant le dernier bit récupéré et le bit H étant le premier.

Compteur synchrone de module 8

Le schéma de principe en figure 8.8 présente un compteur synchrone de module 8 réalisé avec 3 bascules D en ECL. Les sorties des bascules D1, D2 et D3 sont les sorties du compteur du poids le plus faible au plus fort. La sortie intéressante est la sortie D3 qui permet de réaliser une horloge divisée par 8.

La troisième bascule D3 ne commute que dans deux cas. Tout d'abord, si les sorties de la bascule D1 et D2 sont à l'état "1" et la sortie de la bascule D3 sont à l'état "0". Le compteur indique dans ce cas le code binaire "011" et doit passer à "100". Ensuite, la bascule D3 commute quand le compteur est à "111" et doit passer à "000". Pour réaliser ces deux conditions, il faut utiliser deux portes supplémentaires, une porte "et" qui reçoit les sorties de la bascule D1 et D2, et une porte "ou exclusif" recevant les sorties de D3 et la sortie de la porte "et". Ainsi, on réalise un compteur de module 8 et la bascule D3 fournit une horloge de l'entrée diviser par 8.

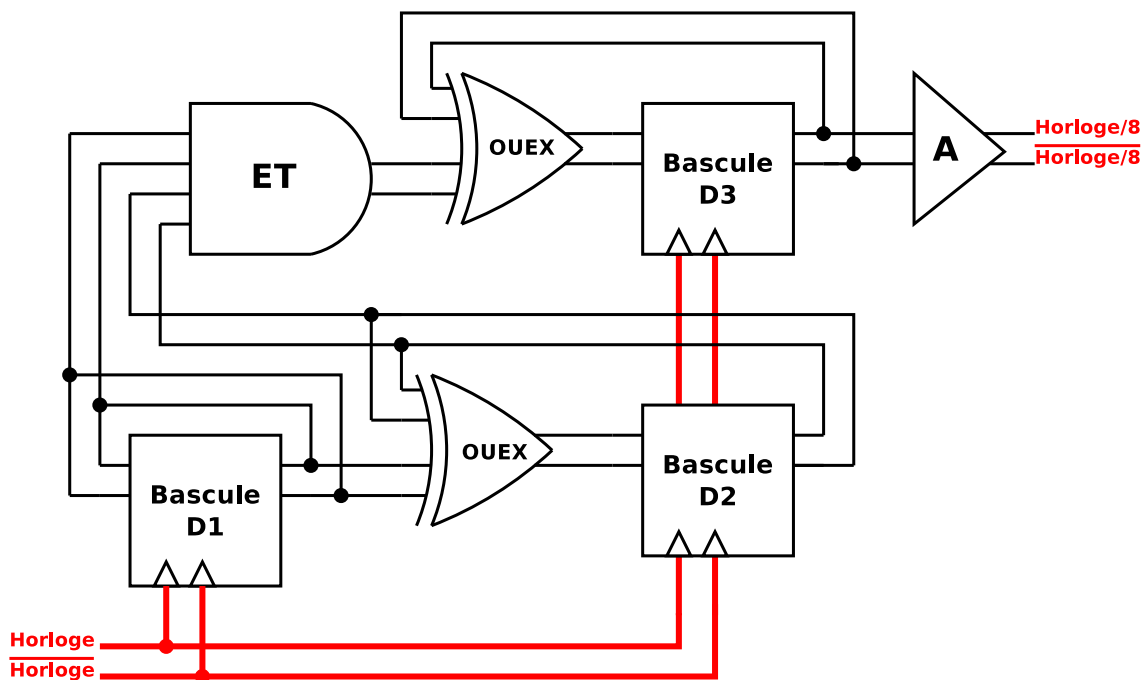


FIGURE 8.8 – Schéma du compteur modulo 8

ANNEXE B

Sortie LVDS

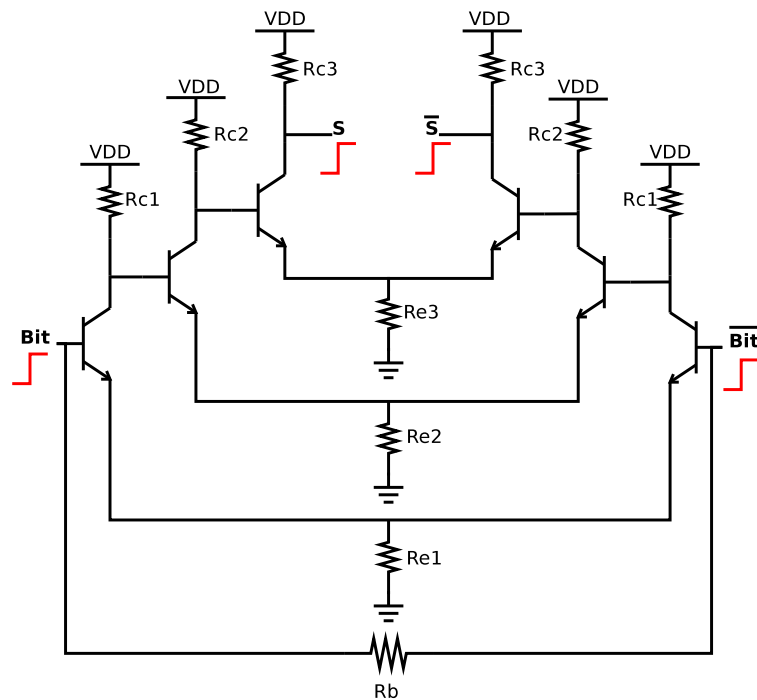


FIGURE 8.9 – Schéma de l'entrée LVDS

L'entrée LVDS est basée sur le schéma de la génération de l'horloge. Le schéma en figure 8.9 est composé de 3 émetteurs communs avec une résistance reliant les bases des transistors d'entrée pour améliorer l'adaptation de l'entrée.

Principe de fonctionnement

La figure 8.10 donne les résultats de simulation temporelle du démultiplexeur obtenus en simulation parasite avec les capacités et les résistances extraites. Un module permet de faire une remise à zéro de l'horloge de sortie et de garder les états de sorties stables. Pour réaliser cette fonction, l'horloge et le système de remise à zéro sont connectés sur une porte "et" en entrée du compteur. L'horloge permet de créer le signal horloge/8 via le compteur. A chaque front descendant de l'horloge/8 les signaux sont validés en sortie. Les entrées et les sorties respectent les normes LVDS. Cependant, des erreurs existent lors du front montant de l'horloge/8. Lorsque le signal de sortie ne change pas de niveau logique, le signal passe par l'état inverse avant de revenir à son niveau logique initial. Toutefois, ce démultiplexeur est utilisable pour effectuer les tests du CAN et ces erreurs n'influent pas sur la récupération des données.

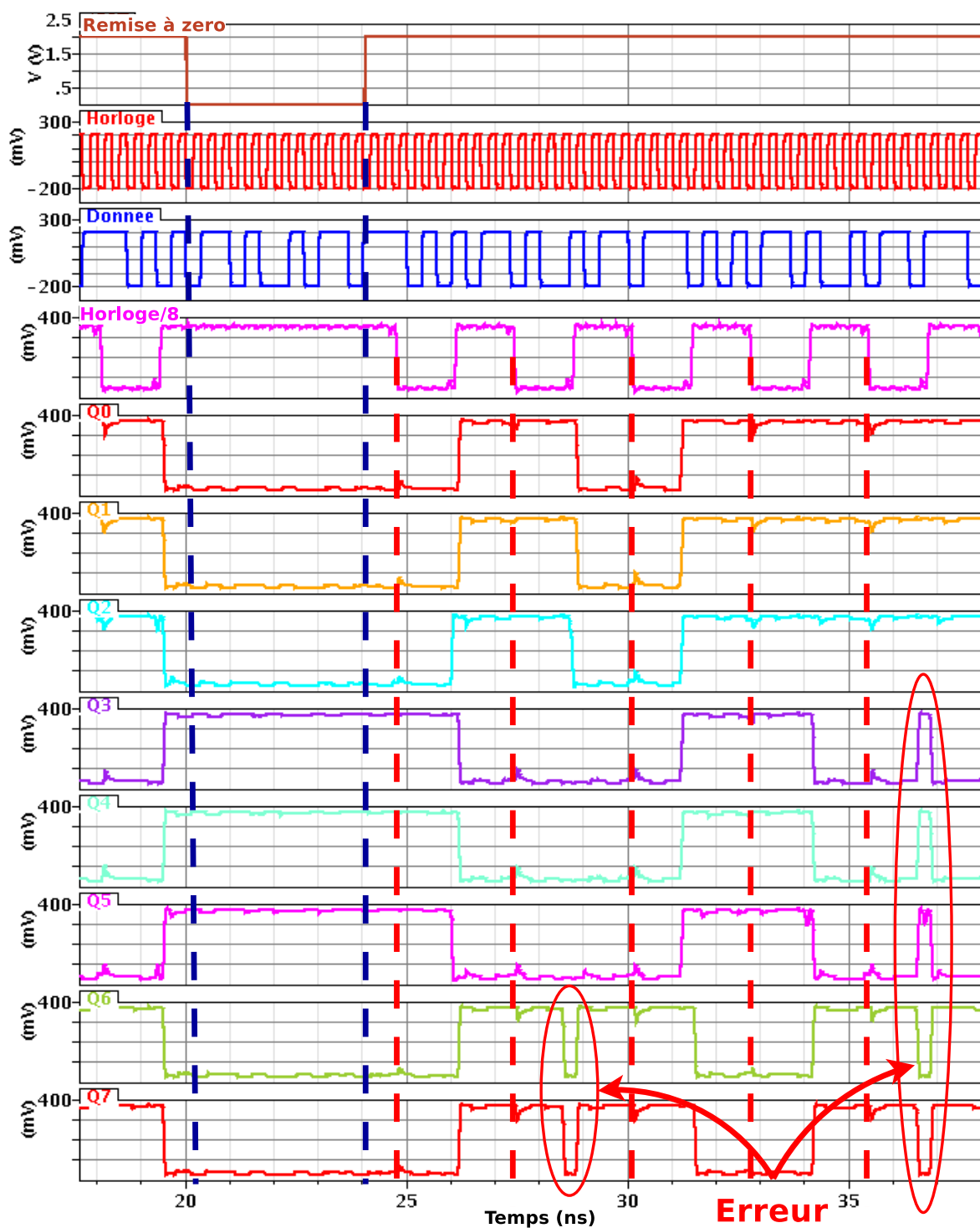


FIGURE 8.10 – Résultat temporel du démultiplexeur avec une horloge à 3 GHz sur une série de données aléatoires

ANNEXE C

Les lignes

Afin de dessiner la carte pour effectuer les tests, des calculs de ligne sont effectués pour obtenir le moins de pertes possible. Nous utilisons le logiciel LignCalc d'ADS pour le calcul des lignes. Les simulations présentent de bonnes performances pour les lignes microrubans couplées et les lignes coplanaires couplées. La figure 8.11 montre le dessin des 2 types de lignes. Pour une impédance d'entrée et de sortie de $100\ \Omega$, le tableau 8.3 indique les caractéristiques du substrat sur FR4. Le tableau 8.4 récapitule les paramètres obtenus pour les 2 types de lignes.

TABLE 8.3 – Caractéristiques du substrat sur FR4

Paramètres	Valeurs
ε_r	4,3
Tangente de pertes	0,02
Conductivité (S/m)	$2.7e7$
Epaisseur de la ligne (μm)	35
Hauteur (mm)	1,53

TABLE 8.4 – Résultats obtenus pour les paramètres des lignes

Modèle ligne	MCLIN	CPWG
W (mm)	0,55	0,5
G (mm)	—	0,26
S (mm)	0,16	0,16
L (cm)	8	8

Les figures 8.12 et 8.13 donnent les résultats de simulation des paramètres S du mode commun et du mode différentiel, l'impédance réelle et imaginaire lorsque la ligne est connectée en sortie à $100\ \Omega$ différentielle .

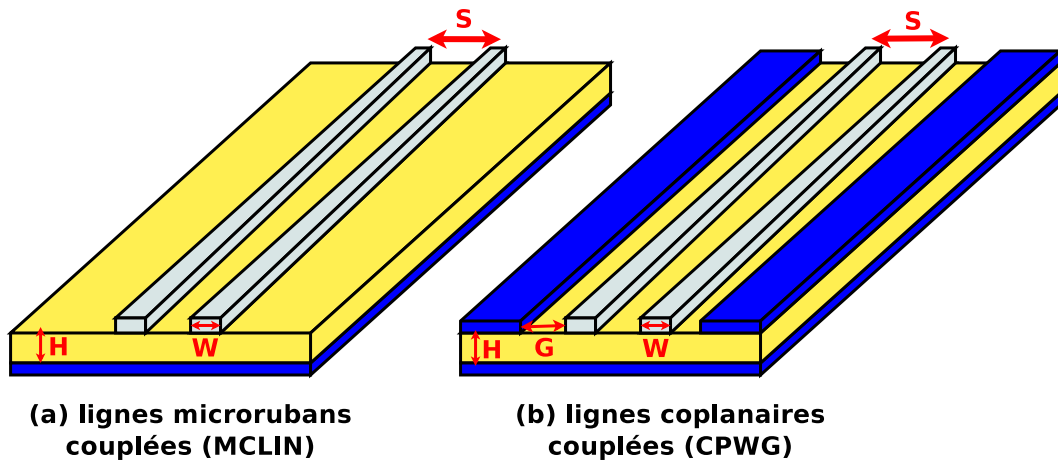


FIGURE 8.11 – Schéma des lignes utilisées : (a) lignes microrubans couplées et (b) lignes coplanaires couplées

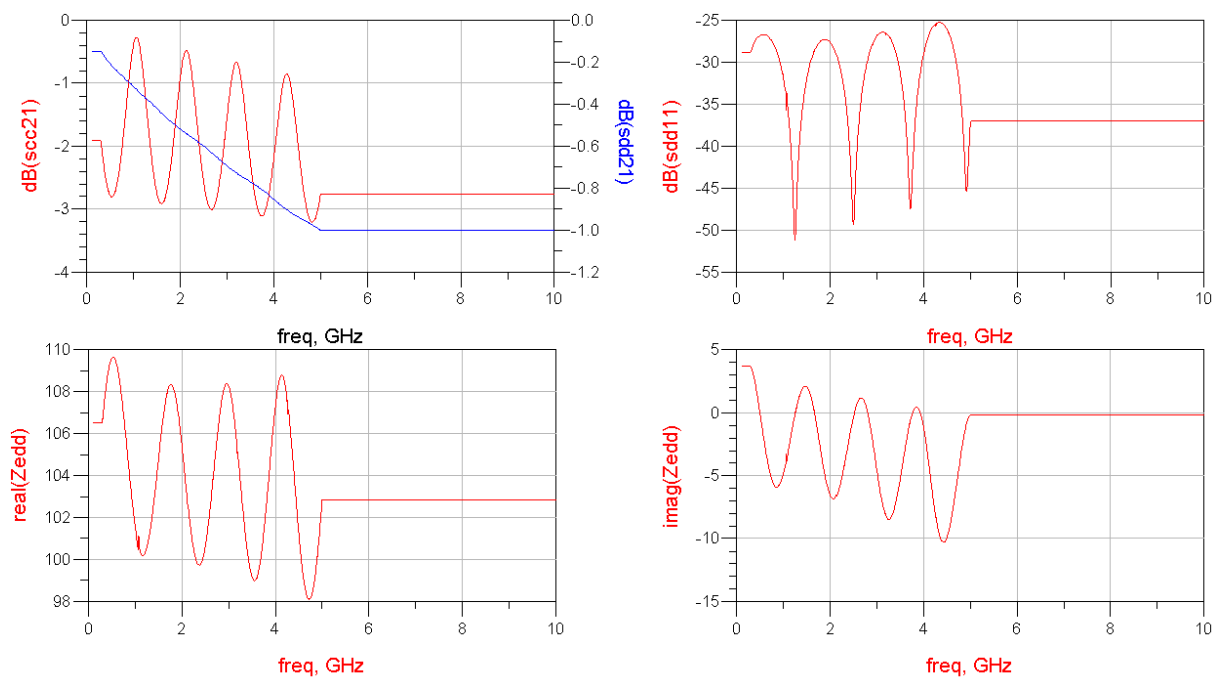


FIGURE 8.12 – Résultats de simulation pour une ligne microruban couplée

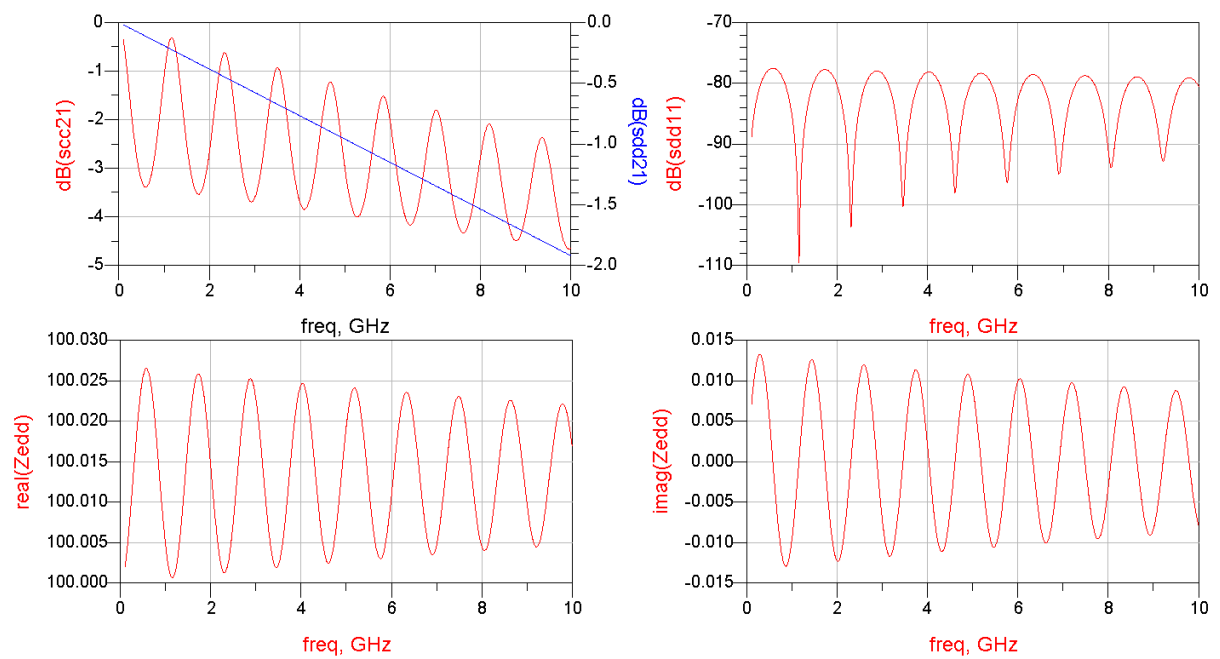


FIGURE 8.13 – Résultats de simulation pour une ligne coplanaire couplée

ANNEXE D

Script en verilogA pour la mesure des erreurs statiques

Ce script en verilogA est utilisé pour les mesures de l'INL et de la DNL. Réalisé à partir d'un script utilisé dans le logiciel Cadence.

```
// Circuit de test pour le calcul
// de l'INL et DNL d'un CAN 6 bits
`include "constants.vams"
`include "disciplines.vams"
module DNL_INL_8bits(vd5,vd4,vd3, vd2, vd1, vd0, vout , vout_m, vclk);
electrical vd5,vd4,vd3, vd2, vd1, vd0;
electrical vout, vout_m, vclk;
parameter real tsettle=2n from (0:inf); // Pas de mesure
parameter real vlogic_high=2; // Niveau haut
parameter real vlogic_low=1.6; // Niveau Bas
parameter real vstart=1.0; // Tension début de rampe
parameter real vend=2.0; // Tension de fin de rampe
// sauvegarde des mesures dans un fichier oui=1 non=0
parameter integer log_to_file = 1;
//parametre générique
parameter integer NUM_ADC_BITS = 6 ; // nombre de bits
parameter integer NUM_OF_CODES = 64 ; // nombre de possibilités
parameter integer NUM_OF_CONVS = 1024 ; // valeur la plus élevée en décimal
    integer out_file;
// Variable rampe d'entrée
integer conv; // nombre de conversion
real vout_inc;
real vout_val;
real vout_neg;
```

```

// Variable calcul DNL and INL
integer i;
real vtrans;
integer just_finished;
integer code_val[0:NUM_OF_CONVS-1];
integer bucket[0:NUM_OF_CODES-1];
real    width [0:NUM_OF_CODES-1];
real    dnl    [0:NUM_OF_CODES-1];
real    inl    [0:NUM_OF_CODES-1];
integer total_hits;
// valeur réelle et variable de INL et DNL Maximum
    real    max_dnl;
    integer max_dnl_code;
    real    max_inl;
    integer max_inl_code;
// Variable Horloge
    real tnext_high;
    real tnext_low;
    real vclk_val;
// PARTIE ANALOGIQUE DU TRAITEMENT
analog begin
    @ ( initial_step ) begin
// Tension de transition
        vtrans = (vlogic_high + vlogic_low)/2;
// Expression du pas représentant le Quantum
        vout_inc = (vend-vstart)/(NUM_OF_CONVS-1);
        vout_val = vstart; // variable positive de sortie
        vout_neg = vend; // variable négative de sortie
        just_finished=0;
        for (i=0; i < NUM_OF_CODES; i = i + 1) begin
            bucket[i] = 0;
        end
        tnext_high = tsettle/2;
        tnext_low = tsettle;
    end
// Génération de l'horloge
    @ ( timer(tnext_high) ) begin

```

```

    tnext_low  = tnext_high + tsettle/2;
    tnext_high = tnext_high + tsettle;
    vclk_val   = vlogic_high;
// Enregistrement de la valeur du code
    code_val[conv] = 0;
    code_val[conv] = code_val[conv] + (V(vd0) > vtrans)*1;
    code_val[conv] = code_val[conv] + (V(vd1) > vtrans)*2;
    code_val[conv] = code_val[conv] + (V(vd2) > vtrans)*4;
    code_val[conv] = code_val[conv] + (V(vd3) > vtrans)*8;
    code_val[conv] = code_val[conv] + (V(vd4) > vtrans)*16;
    code_val[conv] = code_val[conv] + (V(vd5) > vtrans)*32;
    $strobe("code_val = %d\n",code_val[conv]);
// Chargement du prochain niveau de sortie
    conv = conv + 1;
    $strobe("conv = %d\n",conv);
    vout_val = conv*vout_inc + vstart;
    vout_neg = vend - (conv*vout_inc);
// Fin de conversion
    if (conv==NUM_OF_CONVS) begin
        just_finished=1;
        vout_val = vend;
        vout_neg = vstart;
    end
end
// Changement Horloge
@ (timer(tnext_low)) begin
    vclk_val = vlogic_low;
end
// Calcul des parametres INL et DNL
if (just_finished) begin
    $strobe("\n\n\n\n JUST FINISHED \n\n");
    just_finished = 0;
    for (i=0; i < NUM_OF_CONVS; i = i + 1) begin
        bucket[(code_val[i])] = bucket[(code_val[i])] + 1;
    end
    for (i=1; i < NUM_OF_CODES-1; i = i + 1) begin
        total_hits = total_hits + bucket[i];
    end
end

```

```

end
for (i=1; i < NUM_OF_CODES-1; i = i + 1) begin
    width[i] = 1.0*bucket[i]/total_hits*(NUM_OF_CODES-2);
end
// Calcul de l'INL Maximum & DNL Maximum
max_inl = 0;
max_inl_code = 0;
inl[0] = 0;
max_dnl = 0;
max_dnl_code = 0;
for (i=1; i < NUM_OF_CODES-1; i = i + 1) begin
    inl[i] = width[i] + inl[i-1] - 1;
    dnl[i] = width[i] - 1;
    if (max_inl < abs(inl[i])) begin
        max_inl = abs(inl[i]);
        max_inl_code = i;
    end
    if (max_dnl < abs(dnl[i])) begin
        max_dnl = abs(dnl[i]);
        max_dnl_code = i;
    end
end
// Ecriture des resultats de mesure dans un repertoire
if (log_to_file) begin
    out_file = $fopen( "/home/da_silva/Desktop/INL_DNL_3GS.dat" );
    $fstrobe(out_file,"# Test de DNL et INL Generated by Spectre from '%M' \n" );
    $fstrobe(out_file,"i \t\t dnl \t\t \t inl ");
    $strobe(out_file,"i \t\t dnl \t\t \t inl ");
    for (i=0; i < NUM_OF_CODES; i = i + 1) begin
        $fstrobe(out_file,"%d\t\t%f\t\t%f",i,dnl[i],inl[i]);
        $strobe(out_file,"%d\t\t%f\t\t%f",i,dnl[i],inl[i]);
    end
// Ecriture des maximums dans la fenetre de simulation
// Ecriture dans le fichier "/home/da_silva/Desktop/INL_DNL_3GS.dat"
$strobe("-----");
$fstrobe(out_file,"-----");
$strobe("Max DNL is %f at code %d",max_dnl,max_dnl_code);

```

```

$fstrobe(out_file,"Max DNL is %f at code %d",max_dnl,max_dnl_code);
$strobe("Max INL is %f at code %d",max_inl,max_inl_code);
$fstrobe(out_file,"Max INL is %f at code %d",max_inl,max_inl_code);
$strobe("-----");
$fclose(out_file);
end
end
// Tension de contrôle pour le test
V(vclk) <+ transition(vclk_val,0,1p,1p); // (valeur, delay, rise time , fall time)
V(vout) <+ transition(vout_val,0,1p,1p); // (valeur, delay, rise time , fall time)
V(vout_m) <+ transition(vout_neg,0,1p,1p);
// Fin de l'analyse
@ ( final_step ) begin
if (log_to_file) $fclose(out_file); // forcer à fermer le fichier après simulation
end
end
endmodule

```

ANNEXE E

Script Matlab pour la mesure des erreurs statiques

Pour les mesures statiques, ce script Matlab est utilisé et réalisé dans l'industrie Maxim pour valider leurs circuits. [54]

```
numbit = 6; %number of bits
numpt = 20000; % number of points
code = data; % data
mid_code=32;

code=(I(:)+32);
code_count=zeros(1,2^numbit);
numpt=length(code);

for i=1:size(code),
    code_count(code(i)+1)=code_count(code(i)+1) + 1;
end

if code_count(1) == 0 || code_count(2^numbit) == 0 || ...
    (code_count(1) < code_count(2)) || (code_count(2^numbit-1) >
    code_count(2^numbit))
    disp('ADC_not_clipping...Increase_sinewave_amplitude!');
    break;
end

A=max(mid_code,2^numbit-1-mid_code)+0.1;
vin=(0:2^numbit-1)-mid_code;
sin2ramp=1./(pi*sqrt(A^2*ones(size(vin))-vin.*vin));
```

```

while sum(code_count(2:2^numbit-1)) < numpt*sum(sin2ramp(2:2^numbit-1))
    A=A+0.1;
    sin2ramp=1./(pi*sqrt(A^2*ones(size(vin))-vin.*vin));
end

disp( 'You_Have_Applied_a_Sine_Wave_of_(dBFS):_' );
Amplitude=A/(2^numbit/2)
figure;
subplot(2,1,1)
plot ([0:2^numbit-1],code_count,[0:2^numbit-1],sin2ramp*numpt);
title( 'CODE_HISTOGRAM_-_SINE_WAVE' );
xlabel( 'DIGITAL_OUTPUT_CODE' );
ylabel( 'COUNTS' );
xlim ([0 2^numbit-1])
code_countn=code_count(2:2^numbit-1)./(numpt*sin2ramp(2:2^numbit-1));
subplot(2,1,2)
plot ([1:2^numbit-2],code_countn);
title( 'CODE_HISTOGRAM_-_NORMALIZED' )
xlabel( 'DIGITAL_OUTPUT_CODE' );
ylabel( 'NORMALIZED_COUNTS' );

dnl=code_countn-1;
inl=zeros(size(dnl));
for j=1:size(inl')
    inl(j)=sum(dnl(1:j));
end

[p,S]=polyfit ([1:2^numbit-2],inl,1);
inl=inl-p(1)*[1:2^numbit-2]-p(2);

disp( 'End_Points_Eliminated_for_DNL_and_INL_Calculations' );
figure;
subplot(2,1,1)
plot ([1:2^numbit-2],dnl);
grid on;
title( 'DIFFERENTIAL_NON_LINEARITY_vs._DIGITAL_OUTPUT_CODE' );
xlabel( 'DIGITAL_OUTPUT_CODE' );

```

```
ylabel( 'DNL_(LSB) ' );  
subplot(2,1,2)  
plot([1:2^numbit-2], inl );  
grid on;  
title( 'INTEGRAL_NON_LINEARITY_vs._DIGITAL_OUTPUT_CODE' );  
xlabel( 'DIGITAL_OUTPUT_CODE' );  
ylabel( 'INL_(LSB) ' );
```

Script Matlab pour la mesure des erreurs dynamiques

Pour les mesures dynamiques, ce script Matlab est utilisé et réalisé dans l'industrie Maxim pour valider leurs circuits. [55]

```
code = data; % data
fclk = 1e9; % Clock frequency
numpt = 20000; % number of points
numbit=6; % number of bits
span=2;
%Approximate search span for harmonics on each side
spanh=2;

%Display a warning
if (max(code)==2^numbit-1) | (min(code)==0)
disp('Warning: ADC may be clipping!!!');
end

%Plot results in the time domain
figure;
subplot(2,1,1);
plot([1:numpt],code,'b.-');
title('TIME DOMAIN')
xlabel('SAMPLES');
ylabel('DIGITAL OUTPUT CODE');

%Recenter the digital sine wave
Dout=code-(2^numbit-1)/2;
Doutw=Dout.*hanning(numpt);
%Doutw=Dout.*hamming(numpt);
%Performing the Fast Fourier Transform
Dout_spect=fft(Doutw);
%Recalculate to dB
Dout_dB=20*log10(abs(Dout_spect));
%Display the results in the frequency domain with an FFT plot
subplot(2,1,2);
maxdB=max(Dout_dB(1:numpt/2));
%For TTIMD, use the following short routine,
```

```

    normalized to -6.5dB full-scale.
%plot([0:numpt/2-1].*fclk/numpt,Dout_dB(1:numpt/2)-maxdB-6.5);
figure;
plot([0:numpt-1].*fclk/numpt,Dout_dB(1:numpt)-maxdB,'r.-');
grid on;
%title('FFT PLOT');
xlabel('DIGITAL OUTPUT');
ylabel('AMPLITUDE (dB)');
a1=axis; axis([a1(1) a1(2) -120 a1(4)]);
%Calculate SNR, SINAD, THD and SFDR values
%Find the signal bin number, DC = bin 1
fin=find(Dout_dB(1:numpt/2)==maxdB);
%Span of the input frequency on each side
%span=max(round(numpt/200),5);
%Determine power spectrum
spectP=(abs(Dout_spect)).*(abs(Dout_spect));
%Find DC offset power
Pdc=sum(spectP(1:span));
%Extract overall signal power
Ps=sum(spectP(fin-span:fin+span));
%Vector/matrix to store both frequency
% and power of signal and harmonics
Fh=[];
Ph=[];
%Find harmonic frequencies
for har_num=1:5
tone=rem((har_num*(fin-1)+1)/numpt,1);
if tone>0.5
tone=1-tone;
end
Fh=[Fh tone];
%with DC or signal or lower order harmonics
har_peak=max(spectP(round(tone*numpt)-spanh:round(tone*numpt)+spanh));
har_bin=find(spectP(round(tone*numpt)-
spanh:round(tone*numpt)+spanh)==har_peak);
har_bin=har_bin+round(tone*numpt)-spanh-1;
Ph=[Ph sum(spectP(har_bin-1:har_bin+1))];

```

```

end
%Determine the total distortion power
Pd=sum(Ph(2:spanh));
%Determine the noise power
Pn=sum(spectP(1:numpt/2))-Pdc-Ps-Pd;
format;
A=(max(code)-min(code))/2^numbit
AdB=20*log10(A)
SINAD=10*log10(Ps/(Pn+Pd))
ENOB=(SINAD-1.76)/6.02
SNR=10*log10(Ps/Pn)
ENOB_snr=(SNR-1.76)/6.02
disp('THD is calculated from 2nd through 5th order harmonics');
THD=10*log10(Pd/Ph(1))
SFDR=10*log10(Ph(1)/max(Ph(2:spanh)))
disp('Signal & Harmonic Power Components:');
HD=10*log10(Ph(1:spanh)/Ph(1))
%Distinguish all harmonics locations within the FFT plot
hold on;
%plot(Fh(2)*fclk,0,'mo',Fh(3)*fclk,0,'cx',Fh(4)*fclk,0,'r+',
Fh(5)*fclk,0,'g*',Fh(6)*fclk,0,'bs',Fh(7)*fclk,0,'bd');
%legend('1st','2nd','3rd','4th','5th','6th','7th');
hold off;

```

Bruno DA SILVA

Conception sur silicium des convertisseurs analogique-numérique haut débit pour le radiotélescope SKA

Pour les applications radioastronomiques, l'interface entre les mondes analogique et numérique est primordiale. Les convertisseurs analogique-numérique (CAN) doivent atteindre une forte résolution et un taux d'échantillonnage de plus en plus élevé pour numériser la plus grande bande passante possible. Pour le futur radiotélescope géant international SKA (Square Kilometer Array), la bande passante requise s'étend de 100 à 1500 MHz. L'objectif de ce mémoire est de concevoir et réaliser un CAN avec la technologie Qubic4X 0,25 μm en SiGeC, capable de dépasser le giga échantillon par seconde (GS/s) pour numériser toute la bande passante, pour des réseaux phasés denses. Deux études de CAN font l'objet de cette thèse. Dans le cadre de ce projet, nous avons analysé les différents blocs afin de minimiser les erreurs statiques et dynamiques pour une architecture parallèle 6 bits. Un premier CAN 6 bits en BiCMOS fonctionnant à une cadence de 1 GS/s a été étudié, réalisé et testé. Les simulations « post-layout » montrent un nombre de bits effectif de 4,6 bits pour une fréquence d'entrée de 400 MHz. La conception du masque permet de tester la puce. Ainsi, la sortie permet de valider le design. Les tests démontrent que le CAN opère à une fréquence maximale de 850 MS/s avec une bande passante de 400 MHz. Cependant, des erreurs persistent empêchant l'utilisation du circuit en radioastronomie. Le CAN consomme 2 Watts. Cette forte consommation est due aux interfaces d'entrées-sorties. Le second CAN bipolaire 6 bits fonctionne à une cadence de 3 GS/s. Ce convertisseur à architecture parallèle est entièrement conçu avec des topologies différentielles bipolaires. La partie numérique utilise une logique à émetteur couplé (ECL). Nous obtenons ainsi pour le second CAN une cadence de conversion élevée. Les simulations « post-layout » montrent que le CAN peut fonctionner à une fréquence de 3 GS/s, nous obtenons ainsi une bande passante de 1400 MHz. Les résultats dynamiques indiquent un nombre effectif de 5 bits pour une consommation de 3 Watts.

Mots clés : Microélectronique, convertisseur analogique-numérique, circuit intégré, pré-pré-amplificateur, échantillonneur-bloqueur, comparateur, logique ECL, LVDS.

Design on silicon of high speed analog-to-digital converters for the radio telescope SKA

For applications in radio astronomy, the interface between the analog and digital domains is of primary concern. Analog-to-Digital Converters (ADC) must be capable of high resolution and extremely high sampling speeds in order to achieve the largest possible band width. For the future giant international radio telescope called the Square Kilometer Array (SKA), the bandwidth required is between 100 and 1500 MHz. The subject of the present thesis is to design and manufacture an ADC using the Qubic4X 0,25 μm technology in SiGeC capable of surpassing giga-samples per second (GS/s) in order to digitise the entire passband for dense phased-arrays. Two ADC designs are presented here. For this project, we analysed different design blocks with the goal of reducing static and dynamic errors in a 6-bit parallel architecture. The first 6-bit ADC which was designed, manufactured, and tested, was in BiCMOS and operated at 1 GS/s. The post-layout simulations showed the effective number of bits to be 4.6 bits with a 400 MHz input frequency. The mask design allowed for testing the chip. In this way, the output validates the design. Tests show that the ADC operates up to a maximum frequency of 850 MS/s with a passband of 400 MHz. However, there are some errors which make the current circuit unusable for astronomy purposes. The ADC runs on 2 Watts. The high power consumption is due to the input and output stages. The second 6-bit bipolar ADC operates at 3 GS/s. It is designed with a parallel architecture entirely using a bipolar differential topology. The digital part uses Emitter Coupled Logic (ECL). With this second chip, we obtain high speed conversion. Post-layout simulations show that the ADC can operate up to 3 GS/s, and we thus obtain a passband of 1400 MHz. Dynamic measurements indicate an effective number of bits of 5-bits with a power consumption of 3 Watts.

Keywords : Microelectronics, analog-to-digital converter, integrated circuit, pre-amplifier, sample and hold, comparator, ECL logic, LVDS.

Station de Radioastronomie de Nançay
route de Souesmes 18330 Nançay

